

特性

- 16 位高精度 SAR-ADC, 无失码
- 8 通道同步采样
- 真双极性模拟输入: $\pm 10V$ 、 $\pm 5V$ 、 $\pm 2.5V$
- 支持模拟差分输入模式
- 5V 单模拟电源, 2.3V-5V I/O 电源
- 8kV 静电放电(ESD)/过压模拟输入钳位保护
- 低漂移片上精密基准电压及缓冲
- 二阶抗混叠模拟滤波器
- 典型性能:
 - 信噪比(SNR): 86.4dB
 - 无杂散动态范围(SFDR): 102dB
 - 总谐波失真(THD): -98dB
 - 差分非线性(DNL): +1.0LSB/-0.8LSB
 - 积分非线性(INL): $\pm 1.2LSB$
 - 200kSPS 的最大吞吐量 (所有通道)
 - 低功耗: 130mW, 待机模式: 5mW
- 用于过采样的片上数字滤波器
- 灵活的并行/串行/字节接口
- 温度范围: $-40^{\circ}C$ 至 $+85^{\circ}C$
- 封装: 64 引脚 LQFP

应用

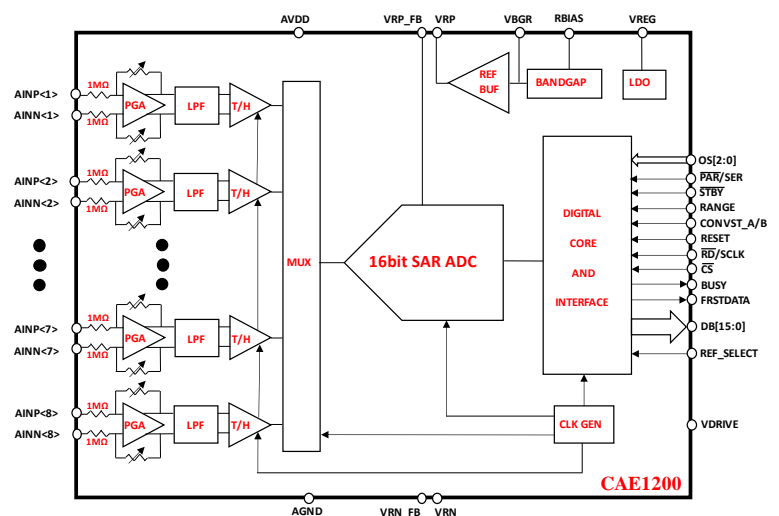
- 电网监控和保护系统
- 多相电机控制
- 仪表和控制系统
- 多轴定位系统
- 多通道数据采集系统(DAS)

概述

CAE1200 是一款基于 16 位、8 通道同步采样、电荷再分配逐次逼近型模数转换器(ADC)的集成式数据采集系统(DAS), 每个通道的最大采样频率为 200kSPS。该器件每个通道都有一个完整的模拟前端。其中包含输入阻抗 680 K Ω 的可编程增益放大器(PGA)、输入钳位、低通滤波器和 ADC 输入驱动器。此外, 该器件还具备带缓冲器的低漂移、高精度基准电压, 用于驱动 ADC。CAE1200 支持并行、串行和并行字节通信, 凭借灵活的数字接口, CAE1200 适用各种主机控制器。

CAE1200 采用单一 5V 电源, 可以配置为接受 $\pm 10V$ 、 $\pm 5V$ 、 $\pm 2.5V$ 真正双极输入。CAE1200 的模拟输入阻抗均为 680 K Ω , 高输入阻抗特性允许直接传感器和变压器, 无需使用外部驱动器电路。CAE1200 抗混叠滤波器的 3dB 截止频率为 15kHz, 当采样速率为 200kSPS 时, 它具有 40dB 抗混叠抑制特性。灵活的数字滤波器采用引脚驱动, 可以改善信噪比(SNR), 并降低 3dB 带宽。

功能框图



目录

特性.....	1	寄存器编程.....	14
应用.....	1	典型连接图.....	15
概述.....	1	省电模式.....	15
功能框图.....	1	转换控制.....	16
修改历史.....	2	数字接口.....	16
技术规格.....	3	并行接口(PAR_SER=0).....	16
时序规格.....	5	并行字节(PAR_SER=1,DB15=1).....	16
绝对最大额定值.....	7	串行接口(PAR_SER=1,DB15=0).....	16
ESD 警告.....	7	数字滤波器.....	17
引脚配置和功能描述.....	8	外形尺寸.....	18
典型工作特性.....	10	订购指南.....	18
工作原理.....	12	重要声明和免责声明.....	19
转换器详解.....	12		
模拟输入.....	12		
内部/外部基准电压.....	14		

修改历史

1/2024 Rev1.6

订购指南增加 CAE1200 DEMO
增加寄存器配置、编程说明
更新功能框图、引脚配置图、典型工作特性图、
典型应用图、部分技术规格参数

3/2023 Rev1.0 原始版

▲本数据表末尾的重要通知说明了可用性、保证、更改、安全关键应用程序中的使用、知识产权事项和其他重要的免责声明。

技术规格

除非另有说明, $AV_{DD}=4.75V$ 至 $5.25V$, $V_{DRIVE}=2.3V$ 至 $5.25V$, $f_{SAMPLE}=200kSPS$ 。

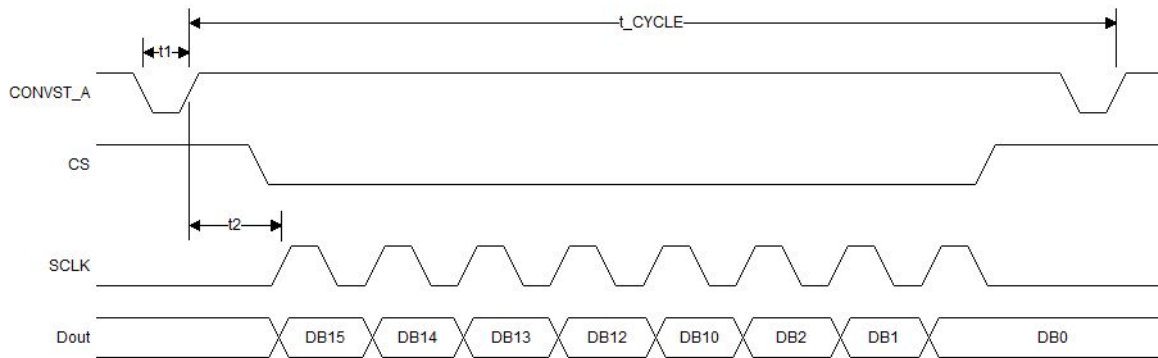
参数	测试条件	MAX	TYP	MIN	单位
动态性能					
信噪比(SNR)	无过采样, $\pm 10V$ 范围		85.7	83.1	dB
	无过采样, $\pm 5V$ 范围		86.4	84.1	dB
	无过采样, $\pm 2.5V$ 范围		85.6	82.6	dB
过采样信噪比(SNR_{OSR})	16 倍过采样, $\pm 10V$ 范围		91.5		dB
	16 倍过采样, $\pm 5V$ 范围		91.0		dB
	16 倍过采样, $\pm 2.5V$ 范围		90.0		dB
总谐波失真(THD)	@ 1kHz, -1dB		-98.0	-92.0	dB
信纳比(SINAD)	无过采样, $\pm 10V$ 范围		85.6	83.0	dB
	无过采样, $\pm 5V$ 范围		86.3	84.0	dB
	无过采样, $\pm 2.5V$ 范围		85.5	82.5	dB
过采样信纳比($SINAD_{OSR}$)	16 倍过采样, $\pm 10V$ 范围		91.9	90.0	dB
	16 倍过采样, $\pm 5V$ 范围		92.1	90.1	dB
	16 倍过采样, $\pm 2.5V$ 范围		90.4	88.4	dB
无杂散动态范围(SFDR)	@ 1kHz, -1dB		102		dB
模拟输入滤波器					
带宽	-3dB, $\pm 10V$ 范围		15		kHz
	-3dB, $\pm 5V$ 范围		15		kHz
	-3dB, $\pm 2.5V$ 范围		14		kHz
	-0.1dB, $\pm 10V$ 范围		2.5		kHz
	-0.1dB, $\pm 5V$ 范围		2.5		kHz
	-0.1dB, $\pm 2.5V$ 范围		2.5		kHz
直流精度					
分辨率(Resolution)	无失码 (no missing code)		16		Bits
微分非线性(DNL)	$\pm 2.5V, \pm 5V, \pm 10V$ 范围	+1.3		-0.99	LSB
积分非线性(INL)	$\pm 2.5V, \pm 5V, \pm 10V$ 范围	+3.5	± 1.2	-3.5	LSB
绝对偏移误差(Absolute Offset Error)	$\pm 2.5V, \pm 5V, \pm 10V$ 范围	± 8.0	± 4.0		mV
增益误差(Gain Error)	$\pm 2.5V, \pm 5V, \pm 10V$ 范围	± 35	± 10		LSB
通道相对编码误差 (Code Error)	$\pm 2.5V, \pm 5V, \pm 10V$ 范围	± 20	± 13		LSB
功耗					
	正常模式	155	130		mW
	待机模式		5		mW
	关断模式		1		mW
模拟输入					
模拟输入范围	Range = 1	+10		-10	V
	Range = 0	+5		-5	V
	DB12 = 1	+2.5		-2.5	V
模拟输入电流	Range = 1		± 10		μA
	Range = 0		± 5		μA
	DB12 = 1		± 2.5		μA
输入差分阻抗	R_{IN}		680		k Ω
输入差分阻抗漂移	ΔR_{IN}		100		ppm/ $^{\circ}C$
输入电容	C_{IN}		5		pF

参数	测试条件	MAX	TYP	MIN	单位
基准输入/输出					
基准电压 VBGR		2.425	2.41	2.395	V
参考输出电压 VRP		4.040	4.000	3.960	V
基准源温度系数		±20	±10		ppm/°C
逻辑输入					
输入高电压(V_{IH})			$0.9 \times V_{DRIVE}$		V
输入低电压(V_{IL})			$0.1 \times V_{DRIVE}$		V
逻辑输出					
输出高电压(V_{OH})			$V_{DRIVE}-0.2$		V
输出低电压(V_{OL})			0.2		V
转换速率					
转换时间	8 个通道			4800	μs
采样保持器采集时间				200	ns
吞吐速率	8 个通道	200			kSPS
电源要求					
AV_{DD}		5.25	5	4.75	V
V_{DRIVE}		5.25		2.3	V
i_{AVDD}	正常模式(工作状态)	31	26		mA
	待机模式	1.5	1		mA
	关断模式	400	200		μA
工作温度	T_{MIN} to T_{MAX}	85		-40	°C

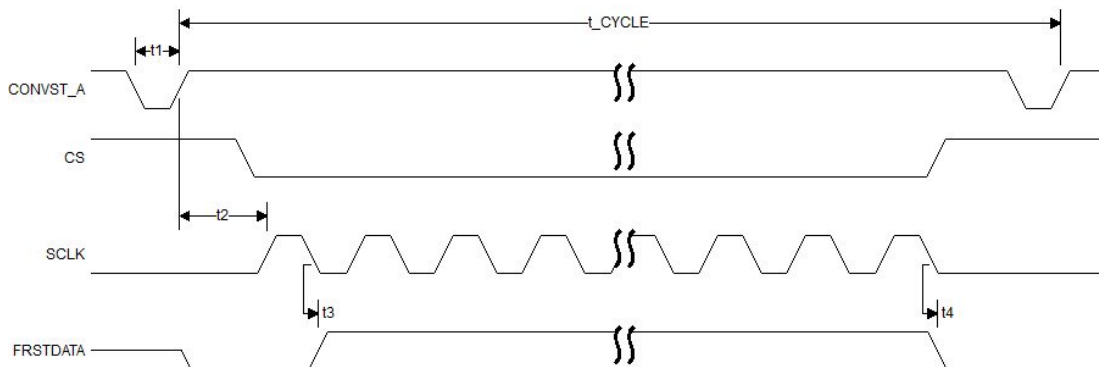
时序规格

除非另有说明, $AV_{DD}=4.75V$ 至 $5.25V$, $V_{DRIVE}=2.3V$ 至 $5.25V$, $f_{SAMPLE}=200kSPS$ 。

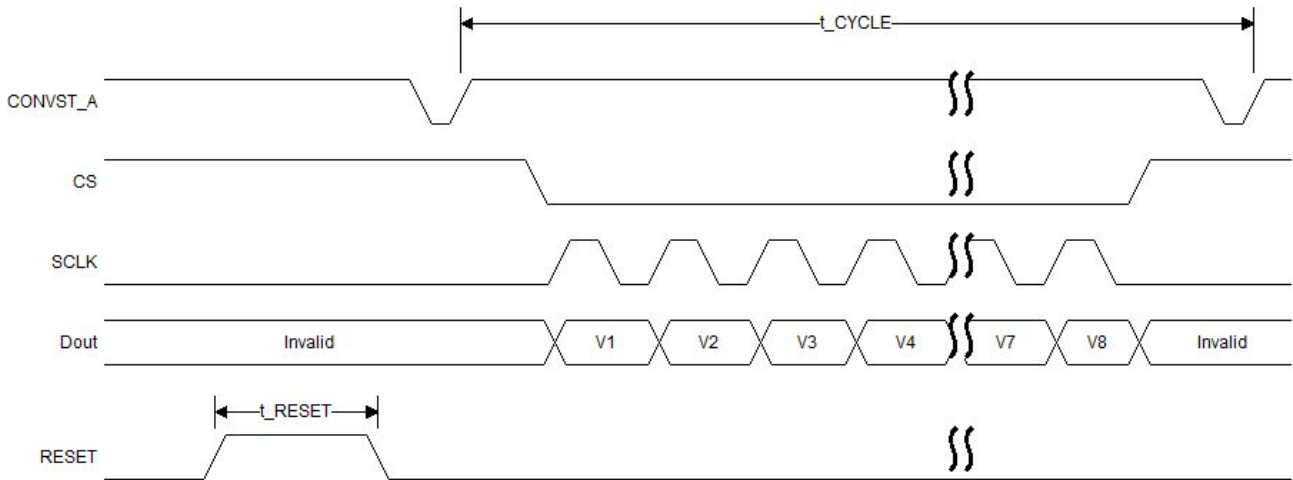
参数	MAX	TYP	MIN	单位	描述
t_{CYCLE}		5		μs	1/吞吐速率
t_{RESET}			200	μs	RESET 高电平脉冲宽度
t_1		250		ns	CONVST_A 低电平脉冲
串行读取操作					
f_{SCLK}	40		27	MHz	串行读取时钟频率 (单通道输出)
f_{SCLK}	35		18	MHz	串行读取时钟频率 (双通道输出)
t_2		200		ns	需要在 CONVST_A 上升沿后 t_2 内开始读数
t_3		9		ns	第一个 SCLK 下降沿到 FRSTDATA 高电平
t_4		10		ns	第 16 个 SCLK 下降沿到 FRSTDATA 低电平
并行读取操作					
t_3		12		ns	从 RD 下降沿到 FRSTDATA 高电平的延迟时间
t_4		14		ns	从 RD 下降沿到 FRSTDATA 低电平的延迟时间



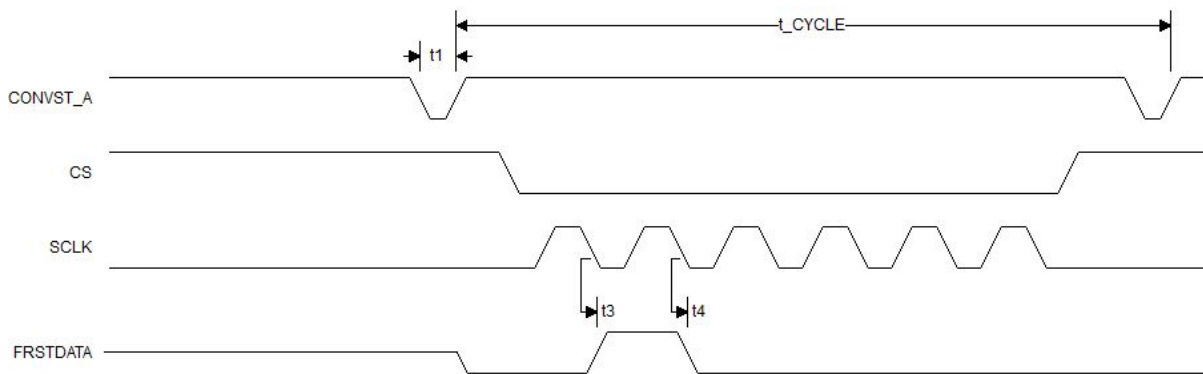
串行读取操作(通道 1)



串行模式(FRSTDATA)



并行模式



并行模式(FRSTDATA)

绝对最大额定值

除非另有说明， $T_A=25^{\circ}\text{C}$ 。

参数	MAX	TYP	MIN	单位
V_{DD} 至 AGND	+5.25		-0.3	V
V_{DRIVE} 至 AGND	$V_{DD}+0.3$		-0.3	V
工作温度范围	-40		85	$^{\circ}\text{C}$
存储范围温度	-65		150	$^{\circ}\text{C}$
铅锡焊接温度(回流焊)	240			$^{\circ}\text{C}$
无铅回流焊温度	260			$^{\circ}\text{C}$
ESD(除模拟输入外的所有引脚)	2			kV
ESD(仅模拟输入引脚)	8			kV

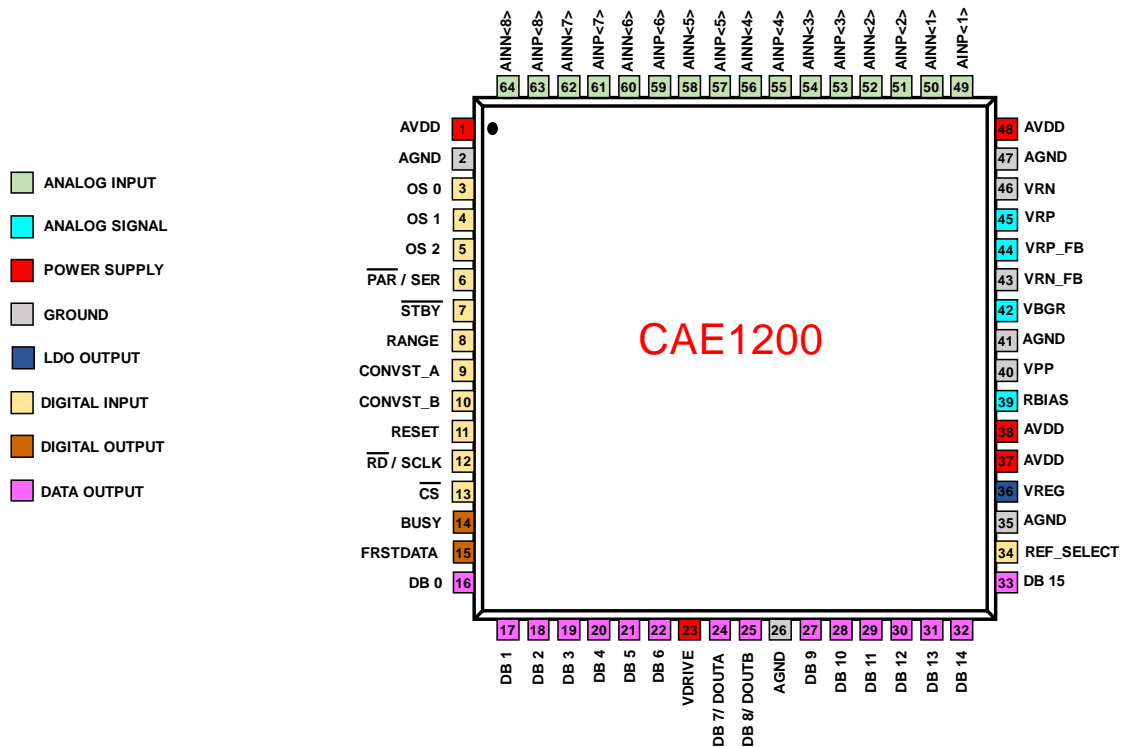
注意，超出上述最大额定值可能会导致器件永久性损坏。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD 警告

ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有电路保护，但在遇到高能量 ESD 时，器件可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

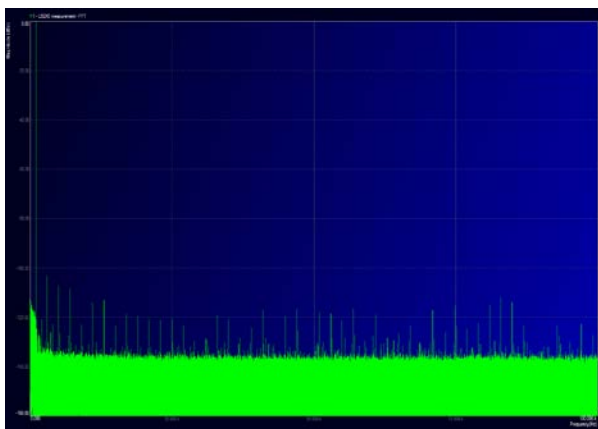
引脚配置和功能描述



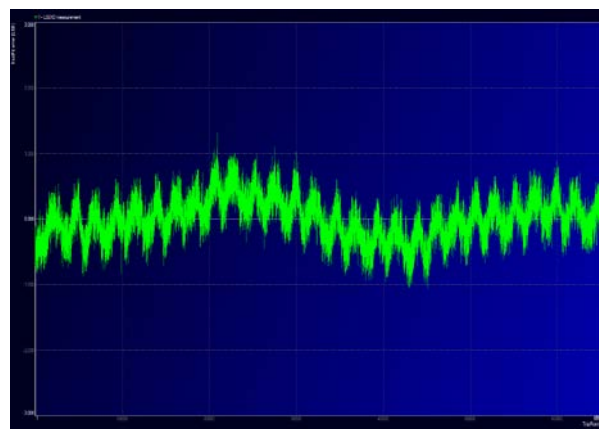
引脚编号	类型	引脚名称	描述
1,37,38,48	Power	AVDD	模拟电源电压，4.75V 至 5.25V。这是内部前端放大器和 ADC 内核的电源电压。应将这些电源引脚去耦至 AGND。
2,26,35,41,47	GND	AGND	模拟地，这些引脚是 CAE1200 上所有模拟电路的接地基准点。所有模拟输入信号和外部基准信号都应参考这些引脚。所有 5 个 AGND 引脚都应连接到系统的 AGND 平面。
3,4,5	DI	OS[2:0]	过采样模式引脚。逻辑输入，这些输入用来选择过采样倍率。OS2 为 MSB 控制位，OSO 为 LSB 控制位。关于过采样工作模式的更多信息，见“数字滤波器”部分。
6	DI	PAR_SER	并行/串行/字节接口选择输入。逻辑输入。如果此引脚与逻辑低电平相连，则选择并行接口。如果此引脚与逻辑高电平相连，则选择串行接口。如果此引脚为逻辑高电平且 DB15 为逻辑高电平，则选择并行字节接口。串行模式下，RD/SCLK 引脚作串行时钟输入。DB7/DOUTA 引脚和 DB8/DOUTB 引脚用作串行数据输出。当选择串行接口时，应将 DB[6:0]接地。
7	DI	STBY	待机模式输入，此引脚用来让 CAE1200 进入两种省电模式之一：待机模式或关断模式。进入何种省电模式，取决于 RANGE 引脚的状态。待机模式下，除片内基准电压、稳压器和稳压器缓冲外的所有其他电路均关断。关断模式下，所有电路均关断。
8	DI	RANGE	模拟输入范围选择。逻辑输入。此引脚决定模拟输入通道的输入范围。如果此引脚与逻辑高电平相连，则所有通道的模拟输入范围为±10V。如果此引脚与逻辑低电平相连，则所有通道的模拟输入范围为±5V。当 DB12 = 1 时，所有模拟输入通道的范围为±2.5V，与 RANGE 的逻辑状态无关。
9	DI	CONVST_A	ADC 转换开始输入 A。逻辑输入。用来启动所有模拟输入通道转换。当 CONVST_A 引脚从低电平变为高电平时，相应模拟输入的前端采样保持电路被设置为保持。
10	DI	CONVST_B	与 CONVST_A 功能相同。将 CONVST_B 与 CONVST_A 连接到一起。
11	DI	RESET	复位输入。当设置为逻辑高电平时，RESET 上升沿复位 CAE1200。RESET 高脉冲宽度典型值为 50ns。
12	DI	RD/SCLK	选择并行接口时为并行数据读取控制输入(RD)/选择串行接口时为串行时钟输入(SCLK)。在并行模式下，如果 CS 和 RD 均处于逻辑低电平，则会启用输出总线。在串行模式下，此引脚用作数据传输的串行时钟输入。CS 下降沿使数据输出线路 DOUTA/DOUTB 脱离三态，并逐个输出转换结果的 MSB。
13	DI	CS	片选管脚。此低电平有效逻辑输入使能数据帧传输。在并行模式下，如果 CS 和 RD 均处于逻辑低电平，则会使输出总线 DB[15:0]，使转换结果输出在并行数据总线上。在串行模式下，利用 CS 使能串行数据帧传输，并逐个输出串行数据的最高有效位(MSB)。

引脚编号	类型	引脚名称	描述
14	DO	BUSY	测试引脚。
15	DO	FRSTDATA	数字输出。FRSTDATA 输出信号指示何时在并行、字节和串行接口上回读第一通道 V1。当 CS 输入为高电平时，FRSTDATA 输出引脚处于三态。CS 下降沿使 FRSTDATA 脱离三态。在并行模式下，与 V1 结果相应的 RD 下降沿随后将 FRSTDATA 引脚设为高电平，表示输出数据总线可以提供 V1 的结果。在 RD 的下一个下降沿之后，FRSTDATA 输出恢复逻辑低电平。在串行模式下，FRSTDATA 在 CS 下降沿变为高电平，因为此时将在 DOUTA 上输出 V1 的 MSB。在 CS 下降沿之后的第 16 个 SCLK 下降沿，它恢复低电平。
16 至 22	DO	DB[6:0]	并行输出数据位 DB6 至 DB0。当 PAR_SER = 0 时，这些引脚作为数据输出引脚。当 CS 和 RD 均处于低电平时，这些引脚用来输出转换结果。当 PAR_SER=1 时，这些引脚应与 AGND 相连。当工作在并行字节接口模式时，DB[7:0]通过两个 RD 操作输出 16 位转换结果。DB7 为 MSB，DB0 为 LSB。
23	Power	VDRIVE	数字 IO 电源管脚。此引脚电源电压 (2.3V 至 5.25V) 决定所有数字 IO 电压
24,25	DO	DB7/DOUTA DB8/DOUTB	并行数据输出位 DB[8:7]/串行接口数据输出引脚(DOUTA,DOUTB)。当 CS 和 RD 均处于低电平时，这两个引脚与 DB[6:0]和 DB[15:9]一起并行输出转换结果。当 PAR_SER=1 时，此引脚用作 DOUTA 和 DOUTB，输出串行转换数据。
27 至 29	DO	DB[11:9]	并行输出数据位 DB11 至 DB9。当 PAR_SER = 0 时，这些引脚作为数据输出管脚。当 CS 和 RD 均处于低电平时，这些引脚用来并行输出转换结果。当 PAR_SER = 1 时，这些引脚应与 AGND 相连。
30	DO/DI	DB12	在并行输出模式下，即 PAR_SER = 0 时，该引脚作为数据输出管脚。 在串行输出模式下，即 PAR_SER = 1 时，该引脚作为模拟信号输入范围控制管脚。当 DB12=1 时，所有模拟通道信号输入范围为±2.5V。当 DB12=0 时，则模拟通道信号输入范围由 RANGE (Pin 8) 管脚选择±5V 或者±10V。
31	DO/DI	DB13	在并行输出模式下，即 PAR_SER = 0 时，该引脚作为数据输出管脚。 在串行输出模式下，即 PAR_SER = 1 时，该引脚作为模拟输入差分模式控制管脚。当 DB13=1 时，所有模拟通道都工作在差分输入模式。
32	DO/DI	DB14	并行输出数据位 14/高字节使能。当 PAR_SER = 0 时，此引脚作为并行数字输出引脚。当 CS 和 RD 均处于低电平时，此引脚用来输出转换结果。当 PAR_SER = 1 且 DB15 = 1 时，CAE1200 工作在并行字节接口模式。在并行字节模式下，DB14 引脚用来选择是首先输出转换结果的高字节(MSB)还是低字节(LSB)。 当 DB14 = 1 时，首先输出 MSB，然后输出 LSB。 当 DB14 = 0 时，首先输出 LSB，然后输出 MSB。
33	DO/DI	DB15	并行输出数据位 15/高字节使能。当 PAR_SER = 0 时，此引脚作为并行数字输出引脚。当 CS 和 RD 均处于低电平时，此引脚用来输出转换结果的 DB15。当 PAR_SER = 1 时，此引脚用来选择串行接口模式或者并行字节模式。当 PAR_SER = 1 且 DB15 = 1 时，CAE1200 工作在并行字节接口模式。
34	DI	REF_SELECT	内部/外部基准电压选择输入。逻辑输入。如果此引脚设置为逻辑高电平，则选择并使能内部基准电压。如果此引脚设为逻辑低电平，则内部基准电压禁用，必须给 VBGR 管脚提供外部基准电压。
36	P	VREG	内部稳压器电压输出的去耦电容引脚。 应将此引脚通过 1 μ F 电容去耦至 AGND。此引脚电压为 1.8V。
39	P	RBIAS	应将此引脚通过一个 499k 电阻 (精度 1%以内) 连接 AGND。
40	P	VPP	保留功能引脚。此引脚应连接 AGND。
42	REF	VBGR	基准电压输入/基准电压输出。如果 REF_SELECT 引脚设置为逻辑高电平，此引脚将提供 2.4V 片内基准电压供外部使用。如果将 REF_SELECT 引脚设置为逻辑低电平以禁用内部基准电压，并将 2.4V 外部基准电压施加到此输入端。无论使用内部还是外部基准电压，都需要对此引脚去耦。应在此引脚连接一个 1 μ F 电容到地。
43,46	REF	VRN_FB VRN	基准电压接地引脚。这些引脚应连接到 AGND。
44,45	REF	VRP_FB VRP	基准电压缓冲输出强制/检测引脚。必须将这些引脚连在一起，并通过低 ESR 10 μ F 陶瓷电容 (X7R) 去耦至 AGND。这些引脚上的电压通常为 4V。
63,61,59,57, 55,53,51,49	AI	AINN[8:1]	模拟输入引脚。输入引脚如果连接电容，该电容类型需为 COG 或 NPO。其他类型电容会恶化 THD 性能。
64,62,60,58, 56,54,52,50	AI/GND	AINN[8:1]	模拟输入引脚。在单端输入模式下，该引脚需要连接相应输入通道的信号参考地。输入引脚如果连接电容，该电容类型需为 COG 或 NPO。其他类型电容会恶化 THD 性能。

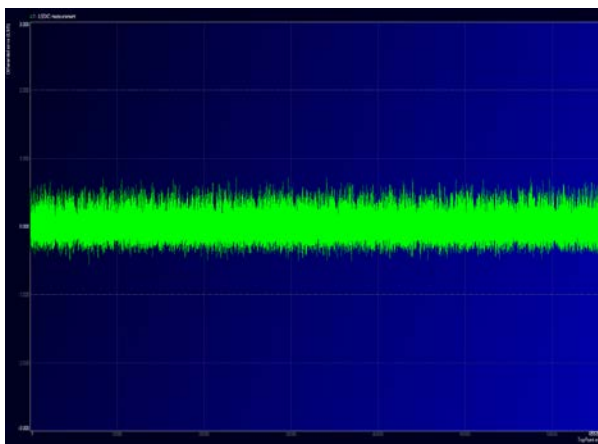
典型工作特性



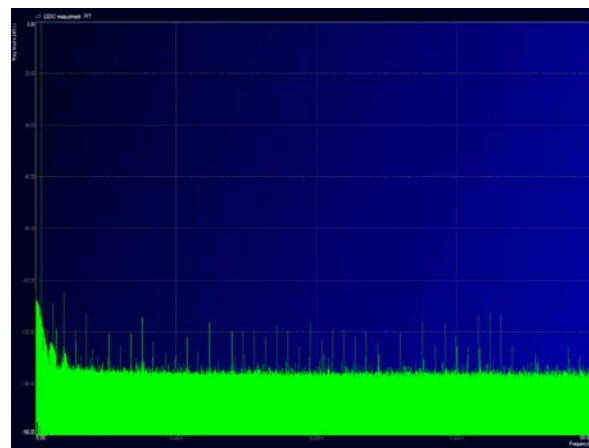
CAE1200 FFT, ±10V 范围



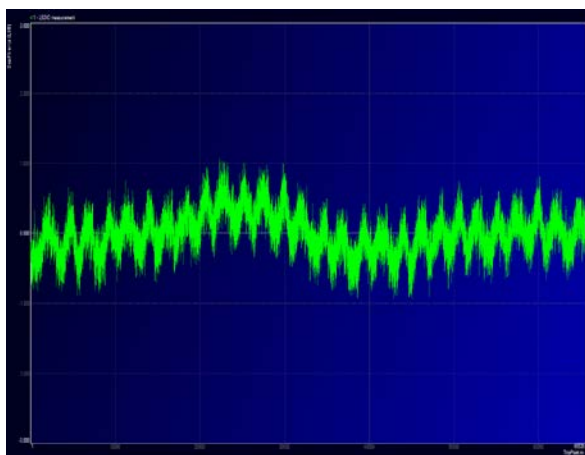
CAE1200 INL, ±10V 范围



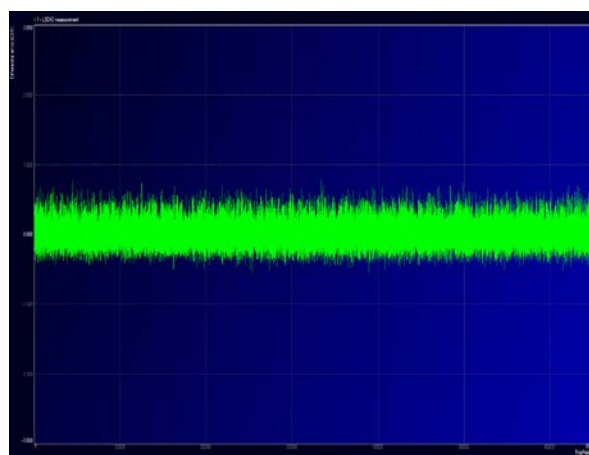
CAE1200 DNL, ±10V 范围



CAE1200 FFT, ±5V 范围

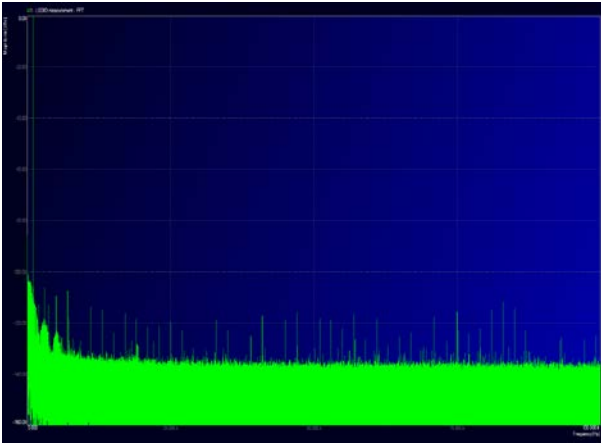


CAE1200 INL, ±5V 范围

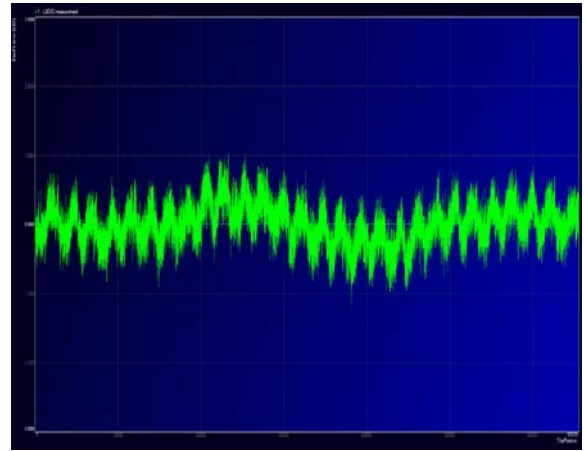


CAE1200 DNL, ±5V 范围

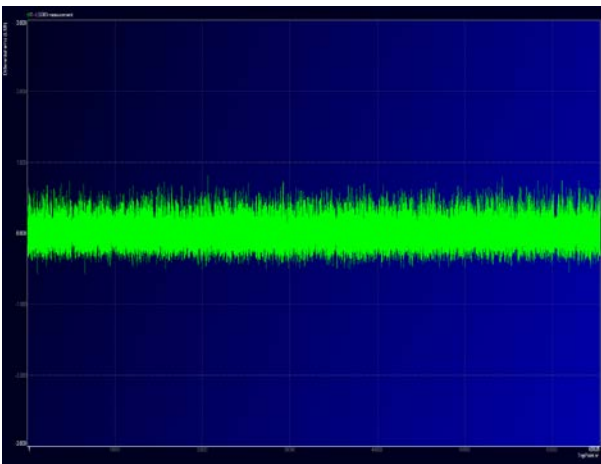
典型工作特性



CAE1200 FFT, $\pm 2.5V$ 范围



CAE1200 INL, $\pm 2.5V$ 范围



CAE1200 DNL, $\pm 2.5V$ 范围

工作原理

转换器详解

CAE1200 是采用高速、低功耗、电荷再分配逐次逼近型模数转换器(ADC)的数据采集系统，可以分别对 8 个模拟输入通道进行同步采样。其模拟输入接受真双极性输入信号，使用 RANGE 引脚和 DB12 引脚可以选择 $\pm 10V$ 或 $\pm 5V$ 或 $\pm 2.5V$ 的输入范围。CAE1200 采用 5V 单电源供电。

CAE1200 内置输入钳位保护、可编程增益放大器、二阶抗混叠滤波器、采样保持放大器、片内基准电压源、基准参考电压缓冲、高速 ADC、数字滤波器以及高速并行和串行接口。CAE1200 的采样通过 CONVST_A/CONVST_B 信号进行控制。

模拟输入

模拟输入范围

CAE1200 可处理真双极性单端/差分输入。CAE1200 上电/复位后默认处于单端输入模式。

若需要使用差分输入，在串行数据输出模式下（PAR_SER 管脚为高电平）需要将 DB13 拉高；如果是并行数据输出模式，则不能通过拉高 DB13 来配置差分输入模式，必须通过寄存器进行配置。

通过寄存器配置的步骤如下：

- (1) 通过 spi 将 0x01 寄存器的 bit 26 修改为 0;
- (2) 通过 spi 向 0x05 寄存器写入 0x40FDF814;

CAE1200 上电/复位后默认由 RANGE 引脚和 DB12 引脚决定输入范围。如果 RANGE 引脚与逻辑高电平相连，则所有通道的模拟输入范围为 $\pm 10V$ 。如果 RANGE 引脚与逻辑低电平相连，则所有通道的模拟输入范围为 $\pm 5V$ 。此引脚的逻辑状态改变会立即影响模拟输入范围。在串行数据输出模式下，当 DB12 = 1 时，无论 RANGE 引脚是什么逻辑状态，所有通道的模拟输入范围为 $\pm 2.5V$ 。建议根据系统信号所需的输入范围，通过硬连线设置 RANGE 引脚。

RANGE	DB12	输入范围
1	0	$\pm 10V$
0	0	$\pm 5V$
X	1	$\pm 2.5V$

CAE1200 也可以通过寄存器配置不同的输入范围，当芯片使用并行模式输出时，DB12 为输出，不可拉高 DB12，此时若需要使用 $\pm 2.5V$ 的输入范围，必须通过寄存器配置。

通过寄存器配置的步骤如下：

- (1) 通过 spi 将 0x01 寄存器的 bit 15 修改为 1;
- (2) 通过 spi 向 0x04 写入相应的值

0x0A188C00: $\pm 10V$

0x0A184C00: $\pm 5V$

0x0A182C00: $\pm 2.5V$

提醒：写寄存器时，Reserved 的 bits 需要保持复位值，以确保 ADC 正常工作，比如对 0x01 寄存器写入，其缺省值为 0x1411380c，请客户按需要改写 bit 26, 或者 bit 15, 其余 bit 不变。

0x01 寄存器 复位值: 0x1411380C

bits	Default Value	Description
31:27	0x02	Reserved
26	1	1:通过 DB13 决定输入模式 0:通过 0x05 寄存器决定输入模式
25:16	0x011	Reserved
15	0	1:ADC 输入范围由 0x04 寄存器决定 0:ADC 输入范围由 Range pin 决定
14:0	0x380C	Reserved

0x04 寄存器 复位值 0x0A188C00

bits	Default Value	Description
31:16	0x0A18	Reserved
15:13	0b100	100:±10V 010:±5V 001:±2.5V
12:0	0x0C00	Reserved

0x05 寄存器 复位值 0x00FDF814

bits	Default Value	Description
31	0	Reserved
30	0	1:差分输入 0:单端输入
29:0	0x00FDF814	Reserved

模拟输入阻抗

CAE1200 的模拟输入阻抗为 680KΩ。这是固定输入阻抗，不随 CAE1200 采样频率而变化。高模拟输入阻抗可以免除 CAE1200 前端的驱动放大器，允许其与信号源或传感器直接相连。由于无需驱动放大器，因此可去掉信号链中的双极性电源(它通常是系统中的噪声源)。

模拟输入钳位保护

CAE1200 各路模拟输入均含有钳位保护电路。虽然采用 5V 单电源供电，但此模拟输入钳位保护允许输入过压达到±16.5V。当输入电压不超过±16.5V 时，钳位电路中无电流。当输入电压超过±16.5V 时，CAE1200 钳位电路开启。

如果模拟输入通道 P 端上有串联电阻，则模拟输入通道 N 端上也需要与之对应相等阻值的电阻。否则该通道将出现失调误差。

模拟输入抗混叠滤波器

CAE1200 还提供模拟抗混叠滤波器。在±2.5V 范围内，-3dB 带宽典型值为 14kHz。在±5V 范围内，-3dB 带宽典型值为 15kHz。在±10V 范围内，-3dB 带宽典型值为 15kHz。

采样保持放大器

CAE1200 的采样保持放大器可使 ADC 以 16 位分辨率精确采集满量程幅值的输入信号。采样保持放大器在 CONVST_A 上升沿时对通道 1/2/3/4 进行同步采样，在 CONVST_B 上升沿时对通道 5/6/7/8 进行同步采样。一个器件的所有 8 个采样保持放

大器以及不同器件的采样保持放大器的孔径时间通过设计保证严格匹配。
因此，允许对一个系统中的多片 CAE1200 进行同步采样。

内部/外部基准电压

CAE1200 内置一个 2.4V 片内带隙基准电压源。

REF_SELECT 引脚是一个逻辑输入引脚，允许用户选择内部基准电压或外部基准电压。如果此引脚设置为逻辑高电平，则选择并使能内部基准电压模式。如果此引脚设置为逻辑低电平，则内部基准电压禁用，必须将外部基准电压施加到 VBGR 引脚。复位之后，CAE1200 工作在 REF_SELECT 引脚所选择的基准电压模式。无论使用内部还是外部基准电压，都需要对 VBGR 引脚去耦。VBGR 引脚提供的基准电压为 2.4V。

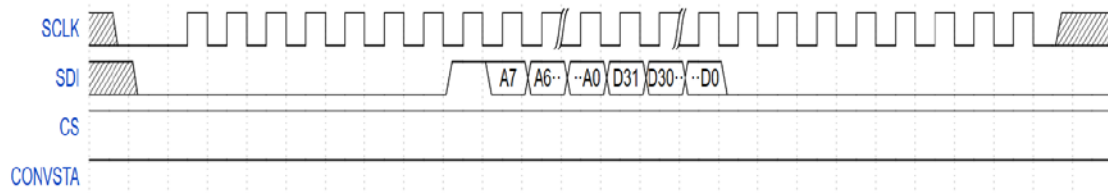
CAE1200 内置一个基准电压缓冲，缓冲配置为将基准电压放大至 4V。VRP_FB 和 VRP 引脚必须在外部分短路连在一起，并通过一个 10 μ F 电容 (X7R) 连接至 VRN，以确保基准电压缓冲工作在闭环中。

寄存器编程

写寄存器时，Reserved 的 bits 需要保持复位值，以确保 ADC 正常工作。

写寄存器的时候，ADC 必须处于串行模式 (PAR_SER=1)。CONVST 和 CS 信号需要拉高，SDI (DB11) 上的数据在每个 SCLK 上升沿处被锁存进芯片内部的位移寄存器，写操作完成后，位移寄存器的值会被写入指定地址的寄存器。

一次 spi 写操作需要 56 个 SCLK。SDI 发送的前 8bit 为 0x01，表示为写操作。然后是 8bit 的地址 A7-A0 和 32bit 的数据 D31-D0，按照 MSB first 发送。最后需要发送 8bit 的 0x00，结束写操作。



SPI 写示意图

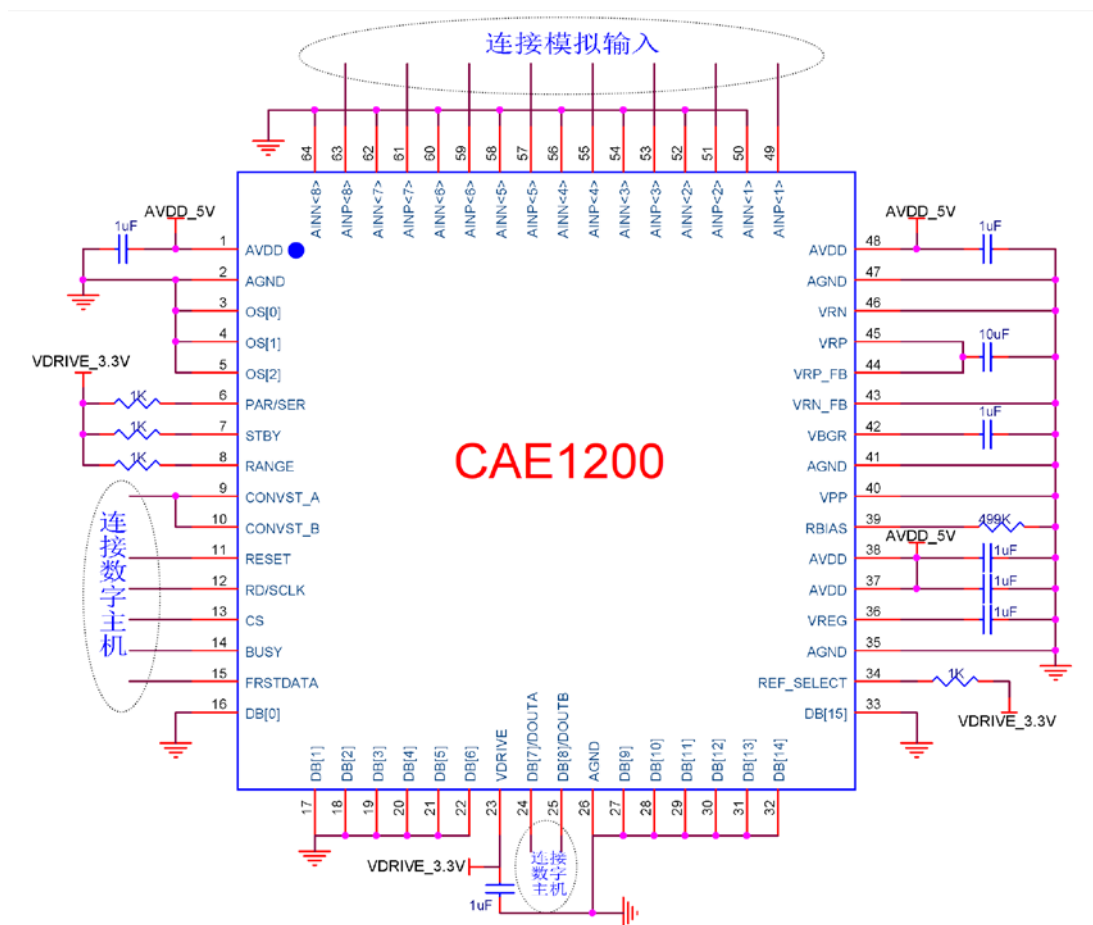
典型连接图

下图为 CAE1200 的典型连接图。器件工作在串行数据输出模式。模拟信号输入范围为 $\pm 10V$ 。不使用过采样。**VBGR** 使用内部基准参考。

AVDD 使用 5V 电源供电，**AVDD** 引脚各连接 $1\mu F$ 电容到地。

VBGR 引脚连接 $1\mu F$ 电容到地。**VRP** 连接 $10\mu F$ 电容 (X7R) 到地。**RBIAS** 连接 499K 电阻 (精度 1% 以内) 到地。

VDRIVE 使用 3.3V 电源，该引脚连接 $1\mu F$ 电容到地。**VDRIVE** 控制逻辑信号的电压值。数字相关的引脚与 DSP 或其他数字主机相连。



省电模式

CAE1200 提供两种省电模式：待机模式和关断模式。STBY 引脚控制芯片处于正常模式还是两种省电模式之一。

当 STBY 引脚为低电平时。RANGE 引脚的状态决定选择哪种省电模式。

当 CAE1200 处于待机模式时，最大电流为 1.5mA。片内基准电压源和稳压器仍然上电，放大器和 ADC 内核则关断。

当 CAE1200 处于关断模式时，最大电流为 0.4mA。关断模式下，所有电路均关闭。

省电模式	STBY	RANGE
待机	0	1
关断	0	0

转换控制

CAE1200 通过 CONVST_A 信号控制八个模拟输入通道的同步采样，CONVST_A 的上升沿启动 ADC 的转换，CONVSTA 信号的 Low Pulse Width 加上 ADC 的转换时间(4.75us)不能超过采样周期长度。即 200K 采样率下，CONVSTA 的 Low Pulse Width 可以为 250ns。降低采样率后，CONVSTA 的 Low Pulse Width 可以大于 250ns。

数字接口

CAE1200 提供三种接口选项：并行接口、串行接口和并行字节接口。所需接口模式可通过 PAR_SER 和 DB15 引脚来选择。

PAR_SER	DB15	接口模式
0	0	并行接口模式
1	0	串行接口模式
1	1	并行字节接口模式

并行接口(PAR_SER = 0)

可以用 CS 和 RD 信号通过并行数据总线从 CAE1200 读取数据。通过并行总线读取数据时，需将 PAR_SER 引脚和低电平相连。通过内部选通 CS 和 RD 输入信号，可以将转换结果输出到数据总线。当 CS 和 RD 同时处于逻辑低电平时，数据线 DB[15:0] 不再呈高阻态。

CS 输入信号的上升沿使总线进入三态，其下降沿使总线脱离高阻抗状态。利用 CS 可以让多个 CAE1200 器件共享同一并行数据总线。

CS 可以一直接低电平，用 RD 信号来获取转换结果。

RD 引脚用来读取转换结果的数据。对 CAE1200 的 RD 引脚施加一个 RD 脉冲序列，可使各通道的转换结果按升序逐个输出到并行总线 DB[15:0]。BUSY 变为低电平后的第一个 RD 下降沿输出通道 1 的转换结果，下一个 RD 下降沿则用通道 2 的转换结果更新总线，以此类推。RD 信号为逻辑低电平时，可将各通道的数据转换结果传输到数字主机(DSP、FPGA)。

当系统中只有一个 CAE1200 且它不共享数据总线时，可以将 CS 和 RD 信号连在一起，仅用数字主机的一个信号来控制读取数据。

并行字节接口(PAR_SER = 1, DB15 = 1)

并行字节接口模式的工作原理和并行接口非常相似，不过各通道转换结果是分两次 8 位传输读出。因此，读取 CAE1200 的所有八个转换结果需要 16 个 RD 脉冲。并行字节模式下，DB[7:0]用于传输数据至数字主机。当 DB14 = 1 时，首先输出 MSB，然后输出 LSB。

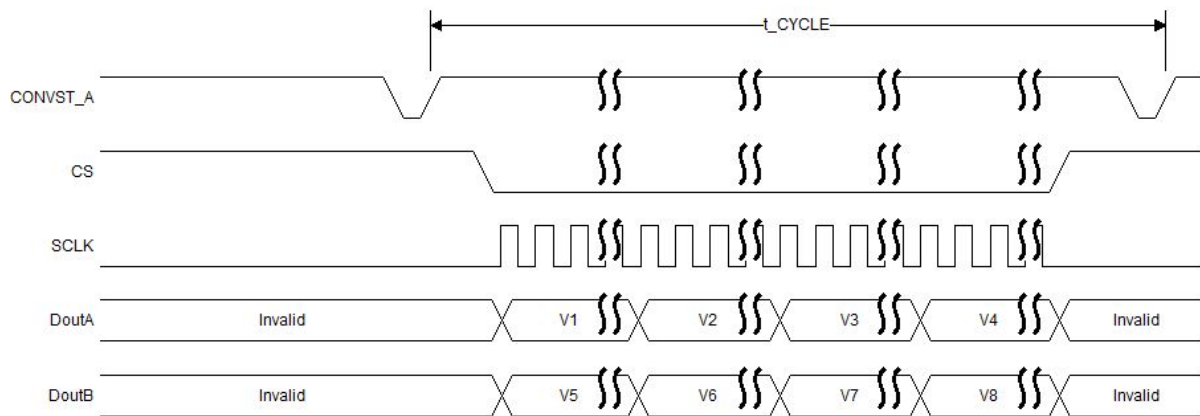
当 DB14 = 0 时，首先输出 LSB，然后输出 MSB。FRSTDATA 引脚将保持高电平，直到从 CAE1200 读取模拟通道 1 的全部 16 位转换结果。

串行接口(PAR_SER = 1, DB15 = 0)

若要通过串行接口从 CAE1200 回读数据，PAR_SER 引脚必须连接高电平。CS 和 SCLK 信号用来传输 CAE1200 的数据。CAE1200 有两个串行数据输出引脚：DOUTA 和 DOUTB。可以通过单或双 DOUT 线路从 CAE1200 回读数据。对于 CAE1200，通道 1 至 4 的转换结果首先出现在 DOUTA 上，通道 5 至 8 的转换结果首先出现在 DOUTB 上。CS 下降沿使数据输出线路 DOUTA 和 DOUTB 脱离三态，并逐个输出转换结果的 MSB。SCLK 上升沿将随后的所有数据位逐个送至串行数据输出 DOUTA 和 DOUTB。

通过一路 DOUT 访问所有 8 个转换结果需要 128 个 SCLK 周期，采用双线路读取 8 个转换结果需要 64 个 SCLK 周期。

还可以通过 DoutA、DoutB 双通道读取数据以降低 SCLK 的速率



数字滤波器

CAE1200 内置一个可选的数字滤波器，在使用较低吞吐速率或需要更高信噪比或更宽动态范围的应用中，应使用该滤波器。数字滤波器的过采样倍率由引脚 OS[2:0]控制。OS2 为 MSB 控制位，OS0 为 LSB 控制位。下表提供了用来选择不同过采样倍率的过采样位编码。

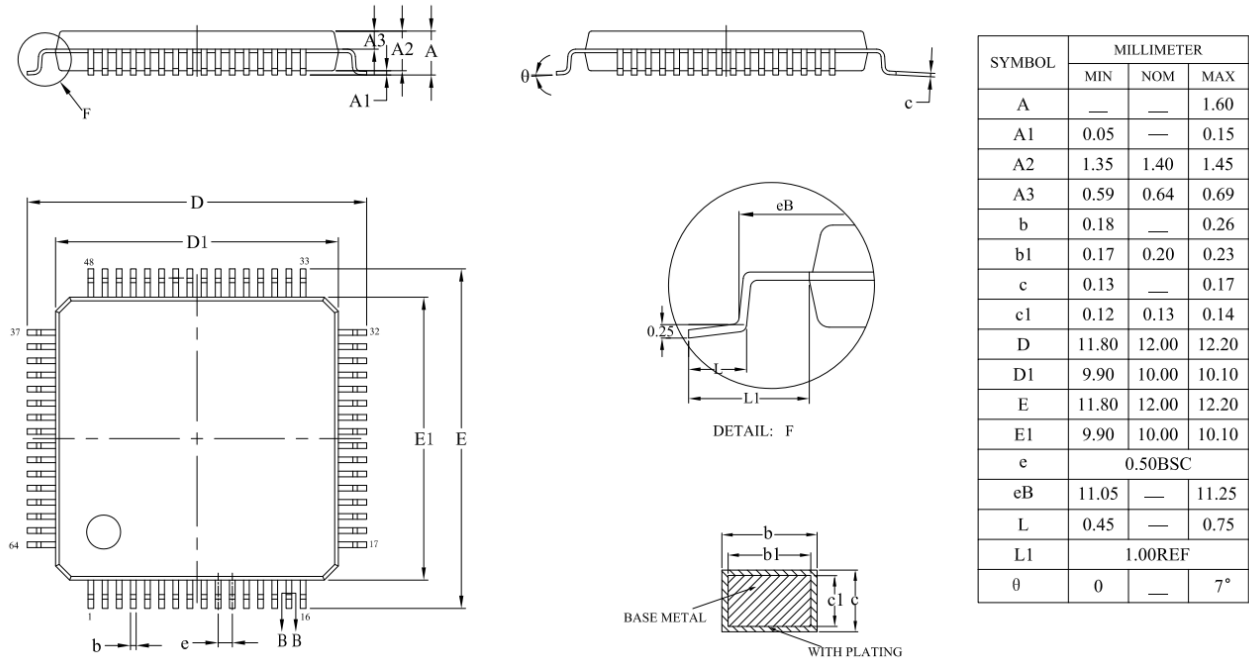
如果 OS 引脚选择了过采样倍率 2，则每发送两个 CONVST_A 采样信号会输出一组结果，输出的结果为两次采样的平均值，SNR 性能得以提升。如下表所示，SNR 性能随着过采样倍率提高而改善。随着过采样倍率提高，3dB 带宽降低，容许的采样频率也降低。

开启过采样时，BUSY 保持高电平的时间会延长。取决于所选的过采样倍率；过采样率越高，BUSY 保持高电平的时间或总转换时间越长。

OS[2:0]	过采样倍率	±10V 范围 SNR(dB)	±5V 范围 SNR(dB)	±2.5V 范围 SNR(dB)
000	1	85.7	86.4	85.6
001	2	87.4	88.4	87.4
010	4	88.0	90.0	88.8
011	8	91.3	91.5	89.9
100	16	92.2	92.3	90.7
101	32	92.5	92.9	91.6
110	64	93.2	92.9	92.0
111	无效	N/A	N/A	N/A

外形尺寸

LQFP64



订购指南

型号	温度范围	封装	封装描述
CAE1200	-40°C 至 +85°C	LQFP64	64 引脚薄型四方扁平封装
CAE1200 DEMO		评估板	CAE1200 评估板

重要声明和免责声明

Caelus“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 Caelus 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 Caelus 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。Caelus 授权您仅可将这些资源用于研发本资源所述的 Caelus 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 Caelus 知识产权或任何第三方知识产权。

Caelus 提供的产品受 Caelus 的销售条款或 Caelus 产品随附的其他适用条款的约束。Caelus 提供这些资源并不会扩展或以其他方式更改 Caelus 针对 Caelus 产品发布的适用的担保或担保免责声明。

Copyright © 2023, 奇历士 (Caelus) 公司