

11.2GSPS / 5.6GSPS 12 位射频采样模数转换器 (ADC)

1 特性

- 分辨率: 12-bit, 无失码
- 采样率:
CAE2200: 11.2Gsp/s or 5.6Gsp/s(双通道模式)
CAE2400: 5.6Gsp/s 或 2.8Gsp/s(双通道模式)
- 通道数: 1 或 2
- 输入电压范围[V_{pp,diff}]: 0.8V (typical)
- 模拟输入带宽: 5.2 GHz
- 积分非线性 INL:
CAE2200: ±6.0 LSB,
CAE2400: ±4.7 LSB,
微分非线性 DNL:
CAE2200: +1.2/-0.7 LSB,
CAE2400: +0.5/-0.5 LSB,
- 信噪比 SNR@1.09GHz:
CAE2200: 47.1 dB
CAE2400: 51.1 dB
- 无杂散动态范围 SFDR:
CAE2200: 63.8 dB
CAE2400: 64.0 dB
- 有效位 ENOB [Bit]:
CAE2200: 7.53 (typical)
CAE2400: 8.20 (typical)
- 16 通道 JESD204B 输出, 最大通道速率 14.0Gbps, 支持 8b/10b 编码, 支持子类 1 确定性延迟
- 可选数字下变频器(DDC): 可选滤波
实数输出支持 1x,2x,3x,4x,6x, 8x,12x, 16x,24x,32x,48x,64x 抽取比例
复数输出支持 2x,4x,6x,8x,16x,24x, 32x, 48x,64x,96x,128x 抽取比例
每个 DDC 均具有四个独立的 48 位 NCO, 支持快速调频。
- 模拟输入通道过压保护
- 片内温度二极管
- 低功耗:
CAE2200: 2.9W
CAE2400: 1.9W
- 工作温度: -40 to 105°C
- 封装: FCBGA196 (12mm x 12mm)

2 应用

- 示波器和宽带数字转换器
- 宽带通信系统
- 高速数据采集
- 通信测试仪 (802.11ad, 5G)
- 射频采样软件定义无线电 (SDR)
- 光谱测量

3 概述

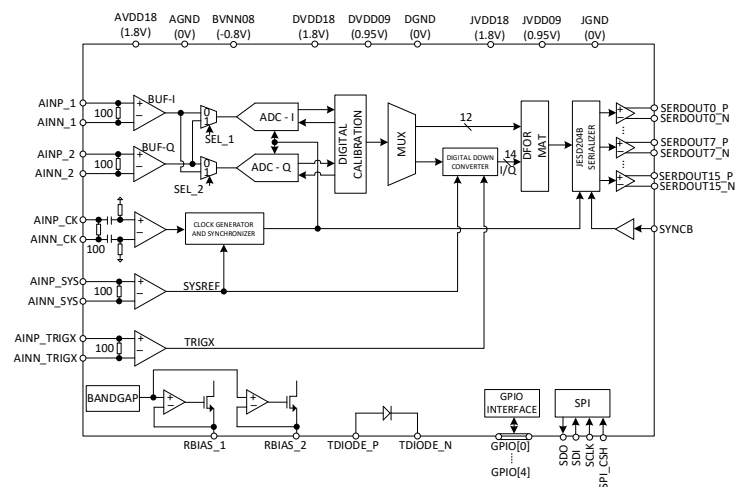
CAE2200 是一款 12 位, 高速射频采样模数转换器 (ADC), 单通道模式下的最大采样率 11.2GSPS, 双通道下的最大采样率为 5.6GSPS。

CAE2400 是一款 12 位, 高速射频采样模数转换器 (ADC), 单通道模式下的最大采样率 5.6GSPS, 双通道下的最大采样率为 2.8GSPS。

单通道或者双通道工作模式可在线编程配置, 可用于开发灵活的硬件, 以满足高通道数或宽瞬时信号带宽应用的需求。

CAE2200/CAE2400 采用高速 JESD204B 输出接口, 工作温度支持 -40 to 105°C, 使用 FCBGA196 (12mm x 12mm) 封装。

4 功能框图



目录

1 特性.....	1	8 详细说明.....	16
2 应用.....	1	8.1 概述.....	16
3 概述.....	1	8.2 功能框图.....	16
4 功能框图.....	1	8.3 寄存器说明.....	17
5 修改历史.....	2	9 封装尺寸.....	20
6 引脚配置和功能描述.....	3	10 订购指南.....	21
7 技术规格.....	7		
7.1 电气特性.....	7		
7.2 时间要求.....	10		
7.3 典型特性.....	11		

5 修改历史

2024/11 Rev 1.2

电气特性 SNR/SINAD/SFDR/ENOB 数据更新,
引脚 P10 的名称由 CONVST 改为 SPI_CSH,
勘误修正

2024/11 Rev 1.1 增加寄存器说明

2024/10 Rev 1.0

2024/05 Rev PreB

6 引脚配置和功能描述 (Pin Configuration and Functions)

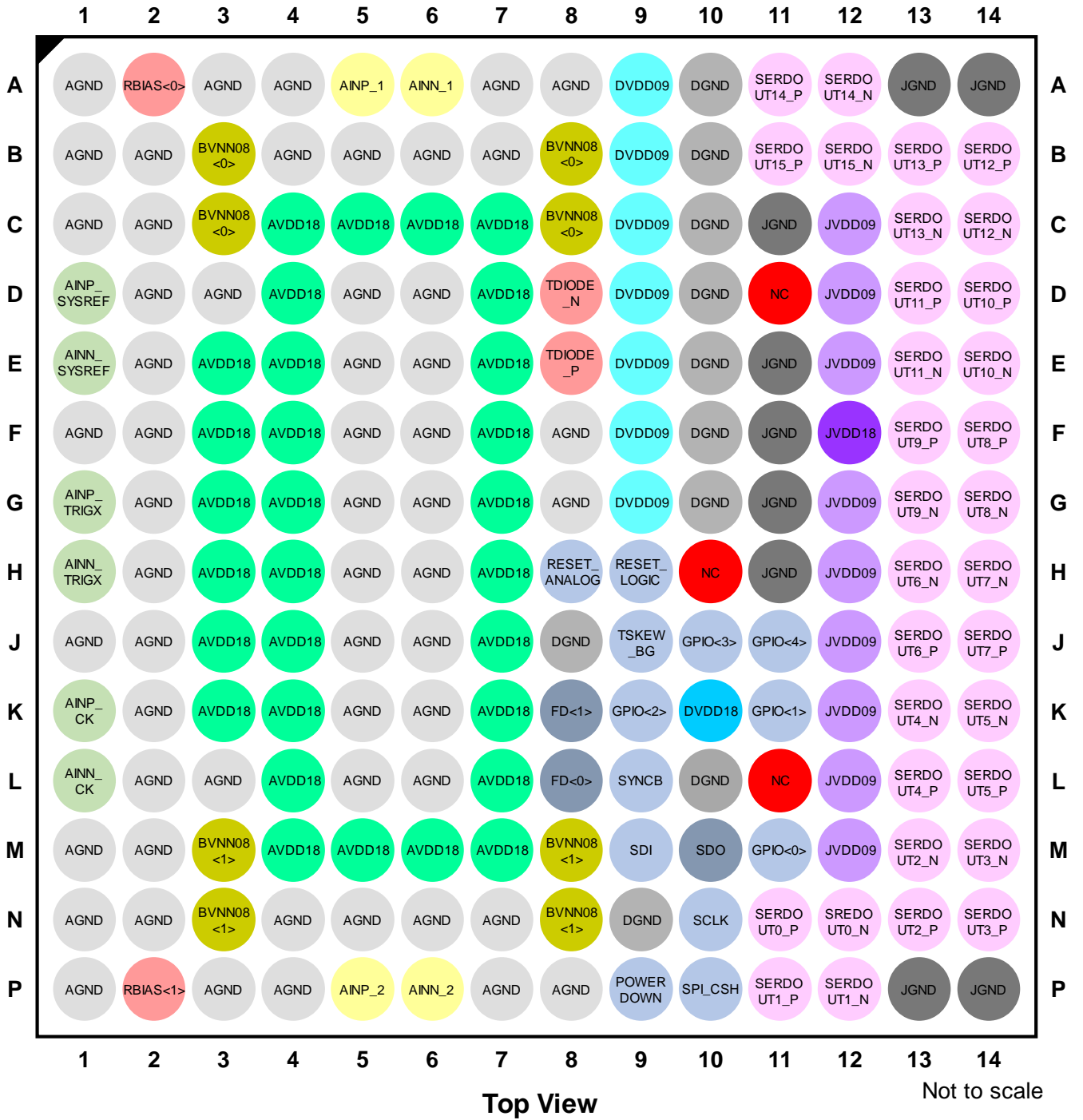


图 6-1. 196-Ball Flip Chip BGA

表 6-1. 引脚功能 (Pin Functions)

管脚序号	管脚名	类型	功能描述
A2, P2	RBIAS<0>, RBIAS<1>	输入	每个管脚接 12k 电阻, 再接到地 注意 12k 电阻必须是高精度低温票电阻(建议采用 0.1%精度, 温漂小于 25ppm/°C)
A5	AINP_1	输入	双通道模式: 模拟差分输入的正输入 (I-channel) 单通道模式: 模拟差分输入的正输入 (I 或者 Q channel)。 它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
A6	AINN_1	输入	双通道模式: 模拟差分输入的负输入 (I-channel) 单通道模式: 模拟差分输入的负输入 (I 或者 Q channel) 它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
P5	AINP_2	输入	双通道模式: 模拟差分输入的正输入 (Q-channel) 单通道模式: 不连接.单通道模式时候是通过 AINP_1/AINN_1 输入 它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
P6	AINN_2	输入	双通道模式: 模拟差分输入的负输入 (Q-channel) 单通道模式: 不连接.单通道模式时候是通过 AINP_1/AINN_1 输入 它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
D1	AINP_SYSREF	输入	SYSREF 差分输入信号 (正端), 用于同步多 ADC 芯片数据时序给 FGPA. 它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
E1	AINN_SYSREF	输入	SYSREF 差分输入信号 (负端), 用于同步多 ADC 芯片数据时序给 FGPA. 它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
G1	AINP_TRIGX	输入	触发器(Trigger) X 差分信号(正端), 用于 DDC 模块的频率跳变。它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
H1	AINN_TRIGX	输入	触发器(Trigger) X 差分信号(负端), 用于 DDC 模块的频率跳变。它内接 50 欧姆电阻, 支持 DC 或者 AC 耦合。请注意, 该管脚必须满足输入共模电压范围及摆幅的要求。
K1	AINP_CK	输入	主时钟差分信号(正端), 该管脚给芯片提供主时钟. 芯片内部通过 50 欧姆电阻 AC 耦合, 但该管脚必须满足输入共模电压范围及摆幅的要求。
L1	AINN_CK	输入	主时钟差分信号(负端), 该管脚给芯片提供主时钟. 芯片内部通过 50 欧姆电阻 AC 耦合, 但该管脚必须满足输入共模电压范围及摆幅的要求。

表 6-1. 引脚功能（续）

管脚序号	管脚名	类型	功能描述
E8	TDIODE_P	输入	温度二极管正（阳极）连接，通过外置温度传感器来监视芯片结温。该管脚没被使用时，请悬空。
D8	TDIODE_N	输入	温度二极管正（负极）连接，通过外置温度传感器来监视芯片结温。该管脚没被使用时，请悬空。
B3,B8,C3 , C8,M3,M8, N3,N8	BVNN08<0> BVNN08<1>	输入	它们连接到外部负 LDO 电源，该电源必须满足规范中的负电位和漏电流要求。
C4,C5,C6,C7 D4, D7 E3, E4, E7 F3, F4, F7 G3,G4,G7 H3,H4, H7 J3, J4, J7 K3, K4, K7 L4, L7 M4,M5,M6,M7	AVDD18	输入	1.8V 模拟 I/O 电源
A1,A3,A4 A7,A8 B1,B2,B4 B5,B6,B7 C1,C2,D2 D3,D5,D6 E2,E5,E6 F1,F2,F5 F6,F8,G2 G5,G6,G8 H2,H5,H6 J1,J2,J5 J6,K2,K5 K6,L2,L3 L5,L6,M1 M2,N1,N2 N4,N5,N6 N7,P1,P3 P4,P7,P8	AGND	输入	模拟地
A9,B9,C9, D9,E9,F9 G9	DVDD09	输入	0.95V 数字内核电源
K10	DVDD18	输入	1.8V 数字 I/O 电源
A10,B10 C10,D10 E10,F10 J8,G10,L10	DGND	输入	数字地
H8	RESET_ANALOG	输入	一旦提供了主时钟，该管脚对时钟产生器进行复位。高电平时复位，正常工作时保持低电平,1.8V 逻辑。
H9	RESET_LOGIC	输入	数字电路复位信号，高电平时复位，正常工作时保持低电平。芯片上电时，芯片内部的 POR 复位了所有的数字电路，该复位信号可以忽略,1.8V 逻辑。
L8, K8	FD<0>, FD<1>	输出	快速检测管脚，FD<0> 对应 I-channel, FD<1> 对应 Q-channel, ,1.8V 逻辑。
M11,K11 K9, J10 J11	GPIO<4:0>	输入	用于 DDC 的快速频率跳转。缺省配置时，这些管脚可以悬空,1.8V 逻辑。

表 6-1. 引脚功能（续）

管脚序号	管脚名	类型	功能描述
J9	TSKEW_BG	输入	该管脚可以发起后台时序偏差校准 (background timing skew calibration) , 1.8V 逻辑。
L9	SYNCB	输入	JESD204B 同步信号。低电平时, JESD204B 与接收器正进行握手, 握手完成时候, 该管脚转为高电平, 1.8V 逻辑。
P10	SPI_CSH	输入	SPI 片选使能信号, 0 将复位 SPI, 当 SPI 进行读写时, 保持为 1, 1.8V 逻辑。
N10	SCLK	输入	主 SPI 时钟信号, 1.8V 逻辑。
M9	SPI	输入	主 SPI 输入信号, 1.8V 逻辑。
M10	SDO	输出	主 SPI 输出信号, 1.8V 逻辑。
P9	POWERDOWN	输入	芯片断电管脚, 输入高电平将芯片断电, 正常工作时保持低电平, 1.8V 逻辑。
D11, H10, L11	NC	/	悬空, 不连接
C12, D12 E12, G12 H12, J12 K12, L12 M12	JVDD09	输入	0.95V JESD204B 内核供电
F12	JVDD18	输入	1.8V JESD204B 接口 I/O 供电
A13, A14 C11, E11 F11, G11 H11, P13 P14	JGND	输入	JESD204B 接口地
N11 N12	SERDOUT0_P SERDOUT0_N	输出	Lane 0 差分 SerDes 输出对, 内接 100 欧姆电阻
P11 P12	SERDOUT1_P SERDOUT1_N	输出	Lane 1 差分 SerDes 输出对, 内接 100 欧姆电阻
N13 M13	SERDOUT2_P SERDOUT2_N	输出	Lane 2 差分 SerDes 输出对, 内接 100 欧姆电阻
N14 M14	SERDOUT3_P SERDOUT3_N	输出	Lane 3 差分 SerDes 输出对, 内接 100 欧姆电阻
L13 K13	SERDOUT4_P SERDOUT4_N	输出	Lane 4 差分 SerDes 输出对, 内接 100 欧姆电阻
L14 K14	SERDOUT5_P SERDOUT5_N	输出	Lane 5 差分 SerDes 输出对, 内接 100 欧姆电阻
J13 H13	SERDOUT6_P SERDOUT6_N	输出	Lane 6 差分 SerDes 输出对, 内接 100 欧姆电阻
J14 H14	SERDOUT7_P SERDOUT7_N	输出	Lane 7 差分 SerDes 输出对, 内接 100 欧姆电阻
F14 G14	SERDOUT8_P SERDOUT8_N	输出	Lane 8 差分 SerDes 输出对, 内接 100 欧姆电阻
F13 G13	SERDOUT9_P SERDOUT9_N	输出	Lane 9 差分 SerDes 输出对, 内接 100 欧姆电阻
D14 E14	SERDOUT10_P SERDOUT10_N	输出	Lane 10 差分 SerDes 输出对, 内接 100 欧姆电阻
D13 E13	SERDOUT11_P SERDOUT11_N	输出	Lane 11 差分 SerDes 输出对, 内接 100 欧姆电阻
B14 C14	SERDOUT12_P SERDOUT12_N	输出	Lane 12 差分 SerDes 输出对, 内接 100 欧姆电阻
B13 C13	SERDOUT13_P SERDOUT13_N	输出	Lane 13 差分 SerDes 输出对, 内接 100 欧姆电阻
A11 A12	SERDOUT14_P SERDOUT14_N	输出	Lane 14 差分 SerDes 输出对, 内接 100 欧姆电阻
B11 B12	SERDOUT15_P SERDOUT15_N	输出	Lane 15 差分 SerDes 输出对, 内接 100 欧姆电阻

7 技术规格 (Specifications)

7.1 电气特性 (Electrical Characteristics)

Parameter	Conditions	CAE2400			CAE2200			Unit
		Min	Typ	Max	Min	Typ	Max	
Analog Input								
Full-scale input range	Fully differential @ 1.09GHz		0.8			0.8		V _{pp,diff}
Input Termination	Single-channel, differential		50			50		Ω
	Dual-Channel, differential		100			100		Ω
Singled Input capacitance	Singled-ended to AGND		400			400		fF
Differential Input capacitance	Differential inputs		80			80		fF
Input Common Mode	V _{CM,input}	0.40	0.45	0.50	0.40	0.45	0.50	V
Input Signal Bandwidth	-3dB bandwidth		5.0			5.2		GHz
SerDes Output								
Differential Output Voltage	Normal mode	0.45		0.50	0.45		0.50	V _{pp,diff}
Output Common Mode Voltage	AC coupled	0.57	0.63	0.79	0.57	0.63	0.79	V
Output Termination	Differential		100			100		Ω
Clock Input								
Differential Input Voltage	100 ohm differential, on-chip	0.3	1	2	0.3	1	2	V _{pp,diff}
Input Common Mode Voltage	V _{CM,CLKIN}	0.2	0.3	0.4	0.2	0.3	0.4	V
Clock Frequency	F _{CLK}			2.8			5.6	GHz
Duty Cycle			50.0			50.0		%
Singled Input Capacitance	Singled-ended to AGND		400			400		fF
Differential Input Capacitance	Differential inputs		80			80		fF
SYSREF Input								
Differential Input Voltage	100 ohm differential, on-chip	0.5	1.0	2.0	0.5	1.0	2.0	V _{pp,diff}
Input Common Mode Voltage	V _{CM,SYSREFIN}		0.9			0.9		V
Frequency	Periodic mode		17.5	43.75		35	87.5	MHz
Pulse Width	Burst and Periodic modes	357.14			178.57			ps
Singled Input Capacitance	Singled-ended to AGND		450			450		fF
Differential Input Capacitance	Differential inputs		90			90		fF
Reference Voltage								
Internal Reference Voltage	Fully Differential	±0.375	±0.39	±0.405	±0.375	±0.39	±0.405	V
Tempco	From -40°C to 125°C		±50	±100		±50	±100	ppm/°C
DC Accuracy								
Resolution	DC code		12			12		bit
INL	Best-Fit	-6.0	±4.7	+6.0	-8.0	±6.0	+8.0	LSB
DNL	(no missing code)	-0.99	±0.5	+0.99	-0.99		+1.3	LSB
Offset Error	DC code error		±1			±1		mV
Code Error Rate	Whole chip		TBD			TBD		Error/samples

7.1 电气特性 (Electrical Characteristics) (续)

Parameter	Conditions	CAE2400			CAE2200			Unit
		Min	Typ	Max	Min	Typ	Max	
AC Accuracy								
SNR	Fin = 170.4MHz, -1.0 dBFS		51.6			47.3		dBFS
	Fin = 170.4MHz, -2.0 dBFS		51.7			47.3		
	Fin = 170.4MHz, -6.0 dBFS		51.8			47.4		
	Fin = 1.09GHz, -1.0 dBFS		50.8			47.0		dBFS
	Fin = 1.09GHz, -2.0 dBFS		51.1			47.1		
	Fin = 1.09GHz, -6.0 dBFS		51.6			47.4		
	Fin = 2.41GHz, -1.0 dBFS		48.7			44.9		dBFS
	Fin = 2.41GHz, -3.0 dBFS		49.3			45.4		
	Fin = 2.41GHz, -6.0 dBFS		50.7			46.0		
	Fin = 3.95GHz, -1.0 dBFS		-			42.1		dBFS
	Fin = 3.95GHz, -3.0 dBFS		-			43.4		
	Fin = 3.95GHz, -6.0 dBFS		-			44.5		
Fin = 4.85GHz, -1.0 dBFS		-			41.5		dBFS	
Fin = 4.85GHz, -3.0 dBFS		-			43.2			
Fin = 4.85GHz, -6.0 dBFS		-			44.0			
SINAD	Fin = 170.4MHz, -1.0 dBFS		50.4			46.4		dBFS
	Fin = 170.4MHz, -2.0 dBFS		50.6			46.7		
	Fin = 170.4MHz, -6.0 dBFS		50.9			46.9		
	Fin = 1.09GHz, -1.0 dBFS		49.8			46.6		dBFS
	Fin = 1.09GHz, -2.0 dBFS		50.0			46.8		
	Fin = 1.09GHz, -6.0 dBFS		50.6			47.1		
	Fin = 2.41GHz, -1.0 dBFS		48.2			44.5		dBFS
	Fin = 2.41GHz, -3.0 dBFS		48.7			45.1		
	Fin = 2.41GHz, -6.0 dBFS		49.9			45.7		
	Fin = 3.95GHz, -1.0 dBFS		-			41.8		dBFS
	Fin = 3.95GHz, -3.0 dBFS		-			43.2		
	Fin = 3.95GHz, -6.0 dBFS		-			44.3		
Fin = 4.85GHz, -1.0 dBFS		-			41.1		dBFS	
Fin = 4.85GHz, -3.0 dBFS		-			42.8			
Fin = 4.85GHz, -6.0 dBFS		-			43.7			
SFDR	Fin = 170.4MHz, -1.0 dBFS		62.2			58.0		dBFS
	Fin = 170.4MHz, -2.0 dBFS		64.3			59.4		
	Fin = 170.4MHz, -6.0 dBFS		63.0			63.8		
	Fin = 1.09GHz, -1.0 dBFS		62.9			59.6		dBFS
	Fin = 1.09GHz, -2.0 dBFS		64.0			63.8		
	Fin = 1.09GHz, -6.0 dBFS		62.5			63.5		
	Fin = 2.41GHz, -1.0 dBFS		60.8			62.4		dBFS
	Fin = 2.41GHz, -3.0 dBFS		61.7			64.7		
	Fin = 2.41GHz, -6.0 dBFS		62.1			64.2		

7.1 电气特性 (Electrical Characteristics) (续)

Parameter	Conditions	CAE2400			CAE2200			Unit	
		Min	Typ	Max	Min	Typ	Max		
SFDR	Fin = 3.95GHz, -1.0 dBFS		-			56.3		dBFS	
	Fin = 3.95GHz, -3.0 dBFS		-			57.1			
	Fin = 3.95GHz, -6.0 dBFS		-			59.2			
	Fin = 4.85GHz, -1.0 dBFS		-			53.1		dBFS	
	Fin = 4.85GHz, -3.0 dBFS		-			57.5			
	Fin = 4.85GHz, -6.0 dBFS		-			59.5			
ENOB	Fin = 170.4MHz, -1.0 dBFS		8.1			7.4		dBFS	
	Fin = 170.4MHz, -2.0 dBFS		8.1			7.5			
	Fin = 170.4MHz, -6.0 dBFS		8.2			7.5			
	Fin = 1.09GHz, -1.0 dBFS		8.0			7.4		dBFS	
	Fin = 1.09GHz, -2.0 dBFS		8.0			7.5			
	Fin = 1.09GHz, -6.0 dBFS		8.1			7.5			
	Fin = 2.41GHz, -1.0 dBFS		7.7			7.1		dBFS	
	Fin = 2.41GHz, -3.0 dBFS		7.8			7.2			
	Fin = 2.41GHz, -6.0 dBFS		8.0			7.3			
	Fin = 3.95GHz, -1.0 dBFS		-			6.7		dBFS	
	Fin = 3.95GHz, -3.0 dBFS		-			6.9			
	Fin = 3.95GHz, -6.0 dBFS		-			7.1			
	Fin = 4.85GHz, -1.0 dBFS		-			6.5		dBFS	
	Fin = 4.85GHz, -3.0 dBFS		-			6.8			
	Fin = 4.85GHz, -6.0 dBFS		-			7.0			
	Noise Floor Density	At 170.4MHz, -1 dBFS		-146.1			-144.8		dBFS/ vHz
	Speed								
	ADC Sampling rate	Single-channel		5.6			11.2		GSPS
	Dual-Channel		2.8			5.6		GSPS	
JESD204B lane rate	SerDes lane rate, 100 ohm termination	1.6875	7.0		1.6875	14.0		Gb/s	
Power Supplies									
AVDD18,DVDD18,DRVDD2	1.8V power supplies	1.7	1.8	1.9	1.7	1.8	1.9	V	
DVDD09,DRVDD,DVDD, VDD	0.95V power supplies	0.9	0.95	0.975	0.9	0.95	0.975	V	
BVNN08	-0.8V negative power supplies	-0.85	-0.8	-0.75	-0.85	-0.8	-0.75	V	
Current (1.8V supplies)	Normal mode, all bg calibrations enable & DDC off		761			1130		mA	
Current (0.95V supplies)	Normal mode, all bg calibrations enable & DDC off		555			855		mA	
Current (1.8V supplies)	Power down		53			53		mA	
Current (0.95V supplies)	Power down		9			9		mA	
Power Consumption	Normal mode, all bg calibrations enable & DDC off		1.9			2.9		W	
Junction Temperature	T _{MIN} to T _{MAX}	-40		125	-40		125	°C	
Long-Term Reliability	For Pro-longed use	-40		105	-40		105	°C	

7.2 时间要求 (Timing Requirements)

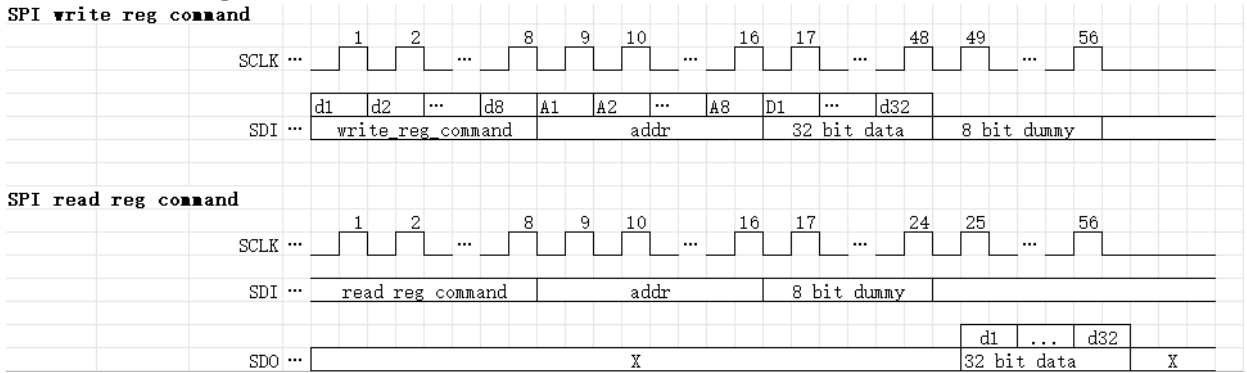
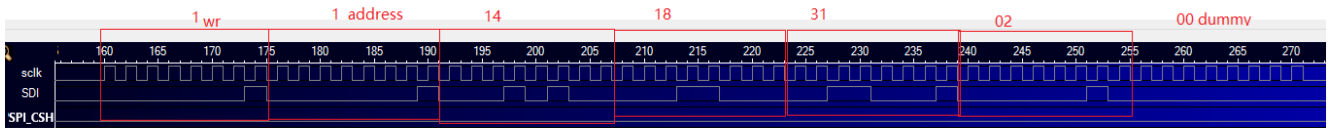


图 7-1. SPI 读写数据：接口波形

芯片复位后 SPI 读写寄存器，相关的信号 SPI_CSH 默认为 1。

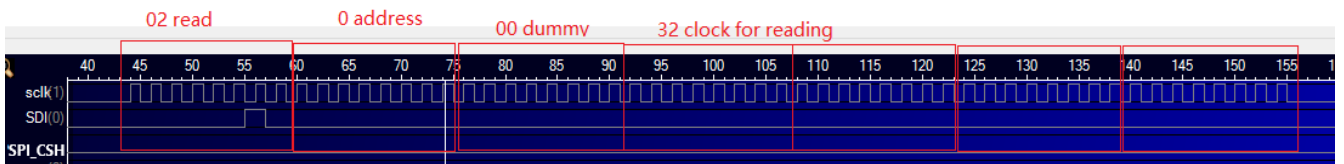
SPI 读写寄存器需要 56bits。8 位命令字+ 8 位为地址+40 位数据。8 位命令字的控制为 8h01 写寄存器，8h02 读寄存器。

以 SPI 写第一寄存器 32'h14183102 为例：spi_wr_reg(8'h01,32'h14183102) 测试 pattern 波形：



前面八个 sclk，对应 SDI 为 01，所以是 SPI 写。后面 8 个 SCLK，对应的是地址，数据为 01，表示写的是 01 寄存器。再接着的 32 个 SCLK，对应的数据是 14,18,31,02 表示写入 01 寄存器的数值为 32'h14183102. 最后的 8 个 sclk，对应的 SDI 为 0，是无用的数据。（SPI_CSH=1）

以 spi_rd_reg(8'h00,temp32b) 即读第 0 寄存器的结果为例，说明 SPI 读对应的波形：



前面八个 sclk，对应 SDI 为 02，所以是 SPI 读命令。后面 8 个 SCLK，对应的是地址，数据为 00，表示读的是 00 寄存器。再接着的 8 个 sclk，对应 SDI 数据为 0，为 8bits dummy，最后面的 32 个 SCLK，对应的 SDI 数据是 0，而此时对应的 SDO 的输出为读出结果。（SPI_CSH =1）

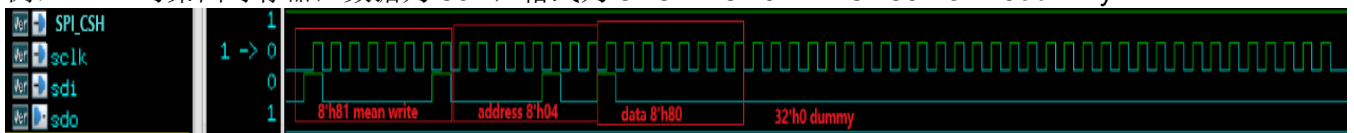
测试激励信号是下降沿给 SDI 数据，芯片内部是上升沿抓数。芯片给出的 SDO 信号是 SCLK 上升沿给出，仪器下降沿去抓 SDO 结果。

对 JESD204B APB 寄存器的读写：

读写 APB 寄存器需要 56bits。8 位命令字+ 8 位地址+ 40 位数据。

8h81 写 APB 寄存器，8h82 读 APB 寄存器。

例：APB 写第四寄存器，数据为 80H，格式为 8'h81 + 8'h04H + 8'h80+ 32'h0dummy。



APB 读第四寄存器，8'h82 + 8'h04H + 8bits dummy+ 8bits data + 24bits dummy.

波形如下图所示：



7.3 典型特性 (Typical Characteristics)

CAE2200 典型特性

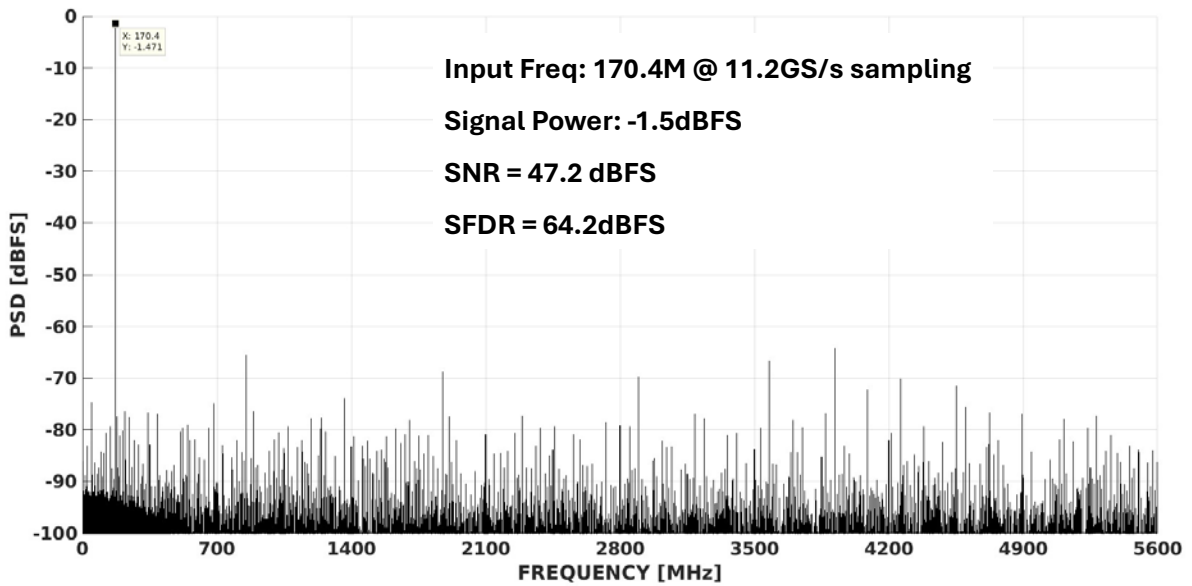


图 7-2. FFT at $F_{in} = 170.4\text{MHz}$, 11.2GS/s (CAE2200)

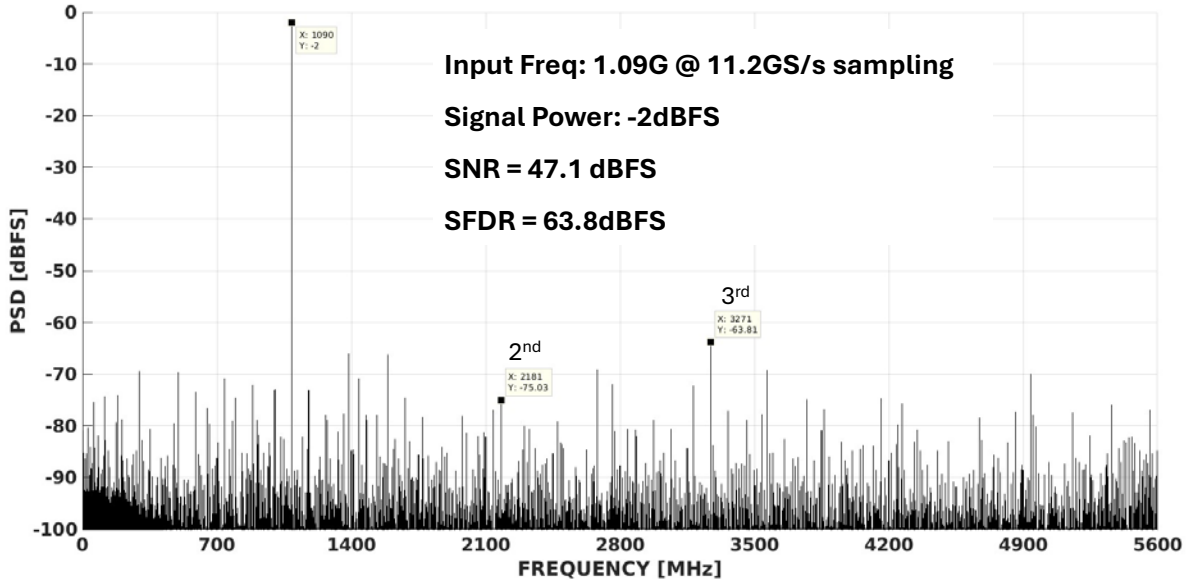


图 7-3. FFT at $F_{in} = 1.09\text{GHz}$, 11.2GS/s (CAE2200)

7.3 典型特性 (Typical Characteristics)

CAE2200 典型特性 (续)

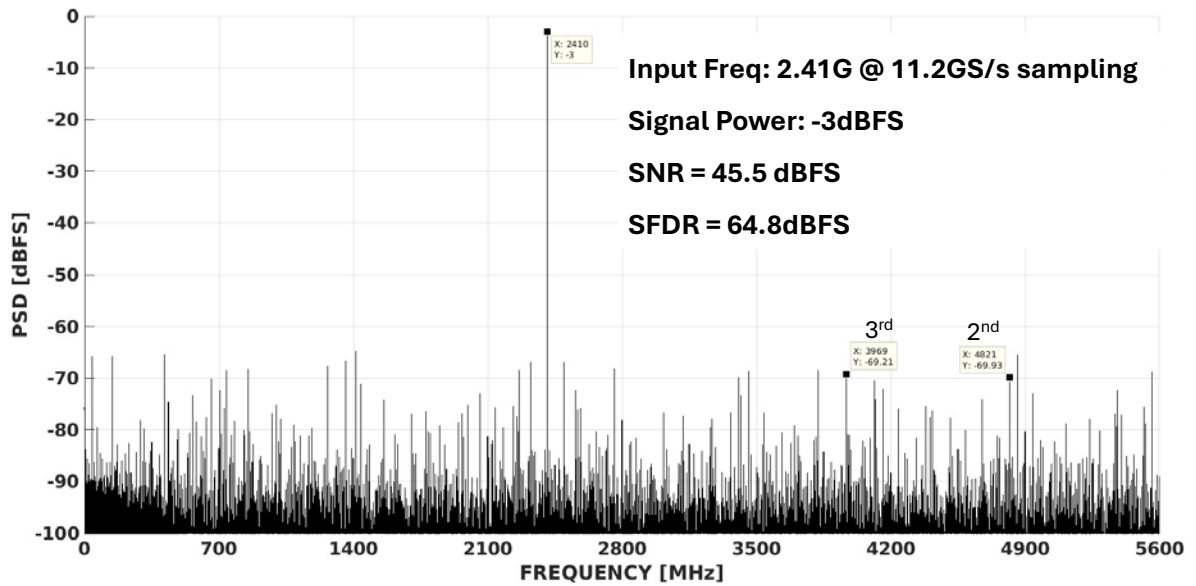


图 7-4. FFT at Fin = 2.41GHz, 11.2GS/s (CAE2200)

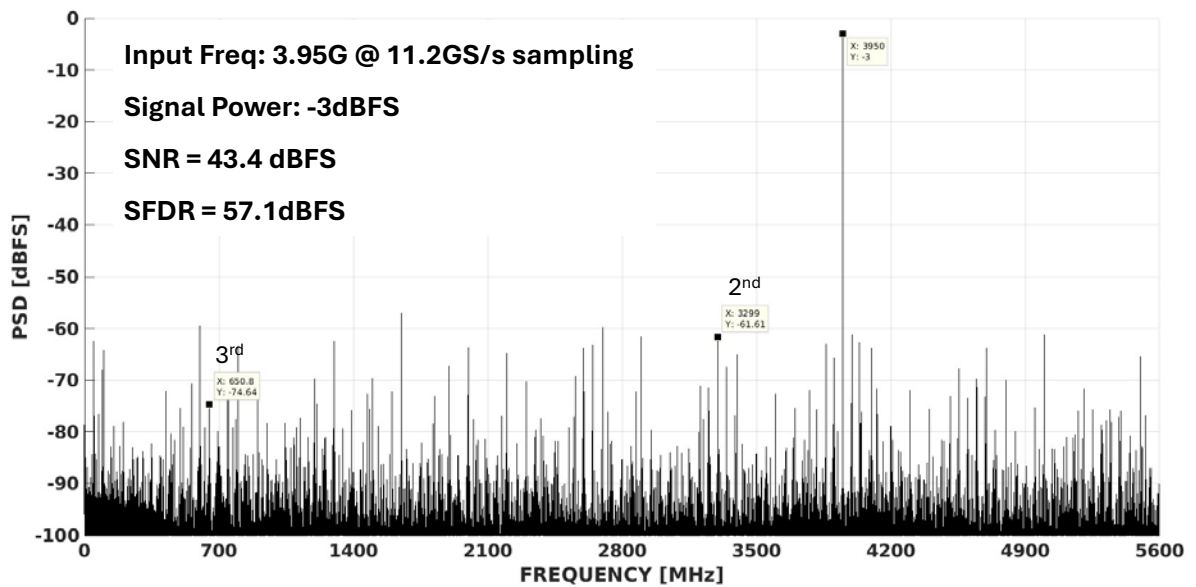


图 7-5. FFT at Fin = 3.95GHz, 11.2GS/s (CAE2200)

7.3 典型特性 (Typical Characteristics)

CAE2200 典型特性 (续)

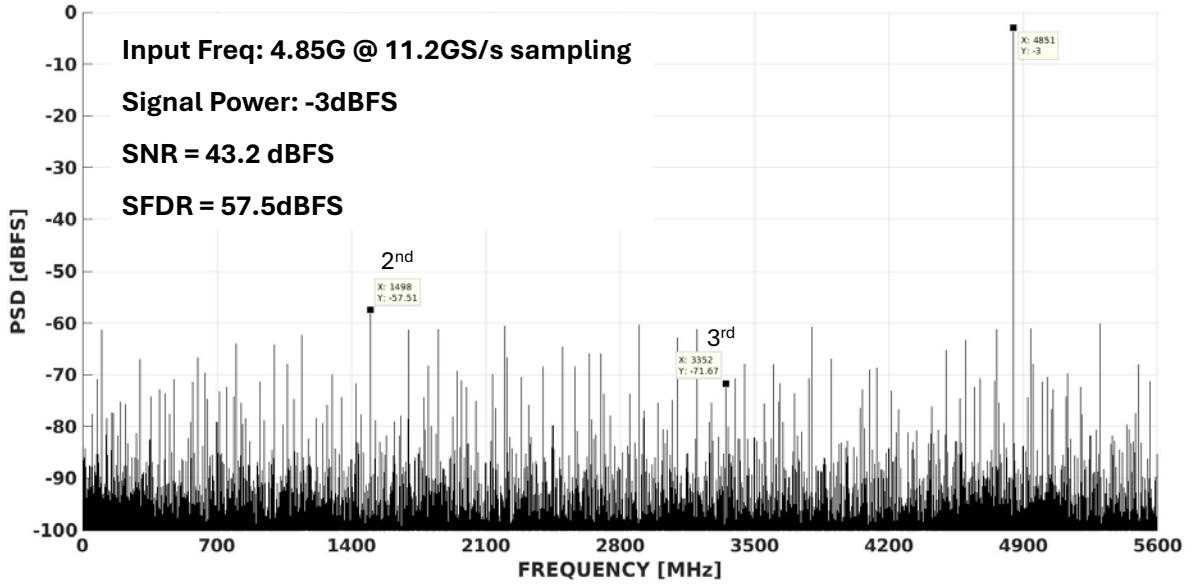


图 7-6. FFT at Fin = 4.85GHz, 11.2GS/s (CAE2200)

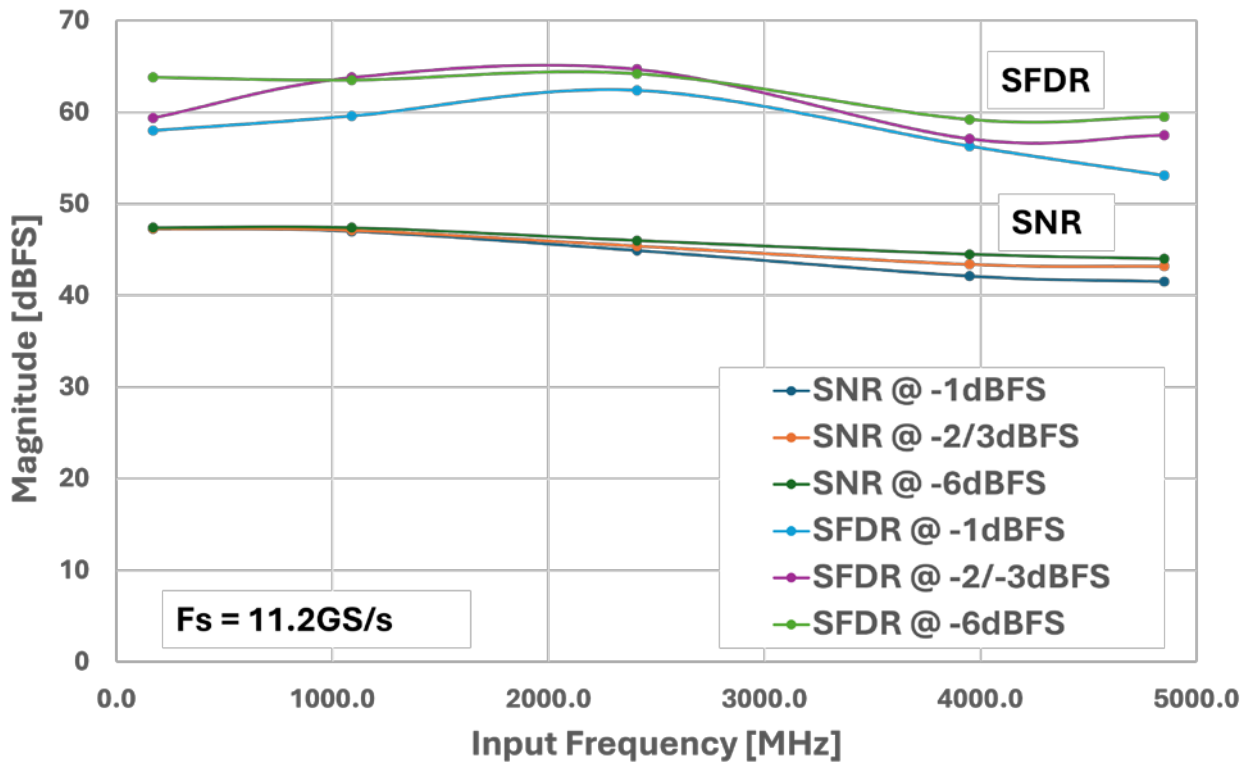


图 7-7. SNR/SFDR vs Input Frequency, 11.2GS/s (CAE2200)

7.3 典型特性 (Typical Characteristics)

CAE2400 典型特性

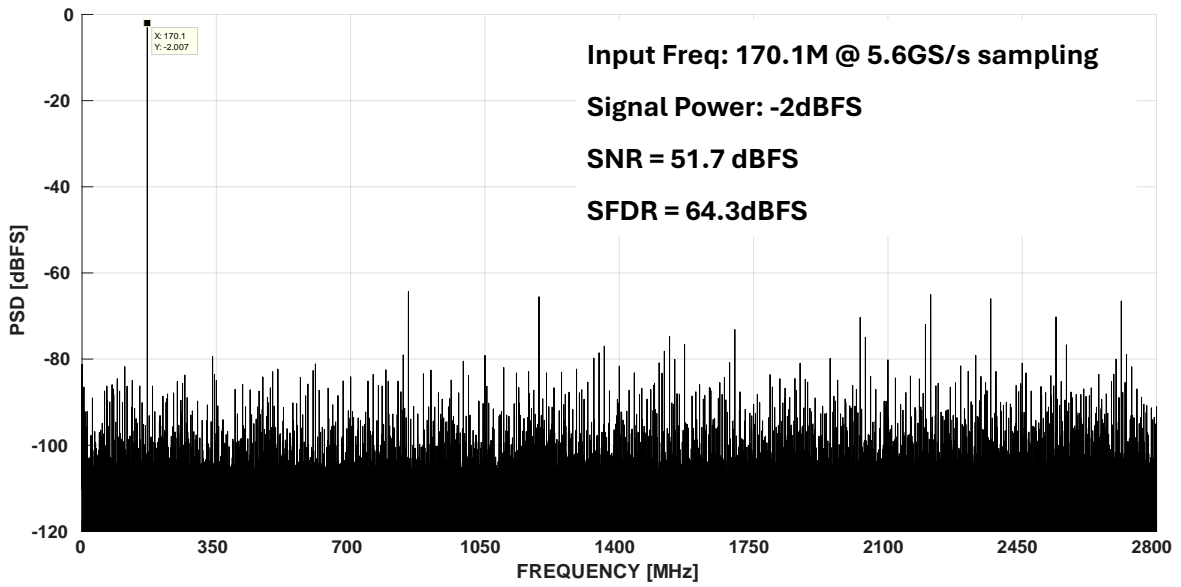


图 7.8. FFT at Fin = 170.1MHz, 5.6GS/s (CAE2400)

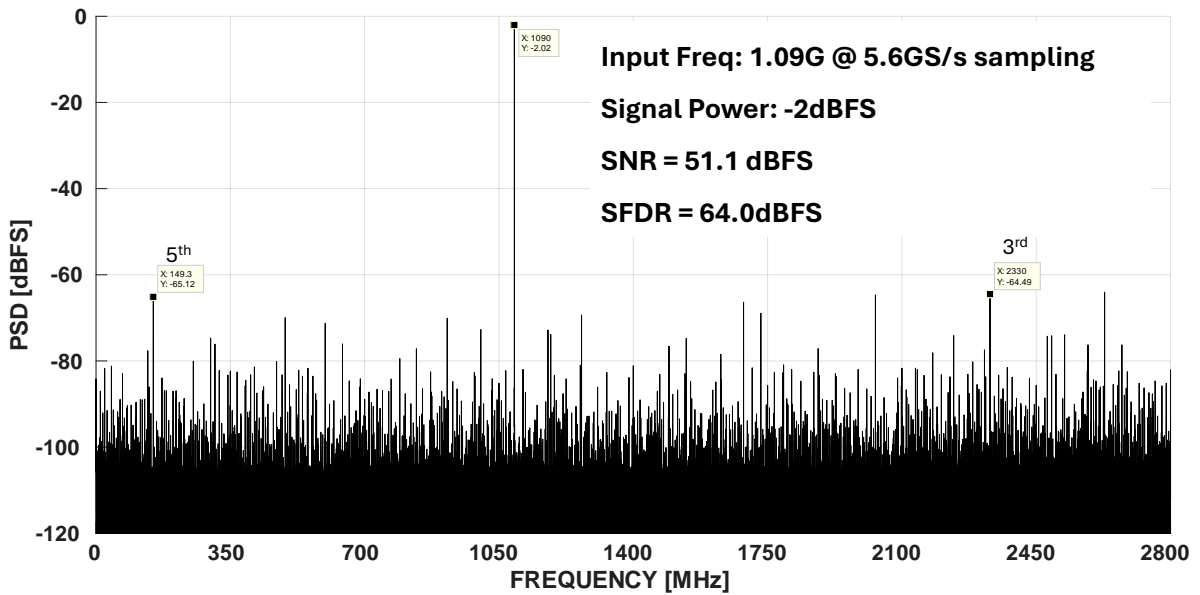


图 7-9. FFT at Fin = 1.09GHz, 5.6GS/s (CAE2400)

7.3 典型特性 (Typical Characteristics)

CAE2400 典型特性 (续)

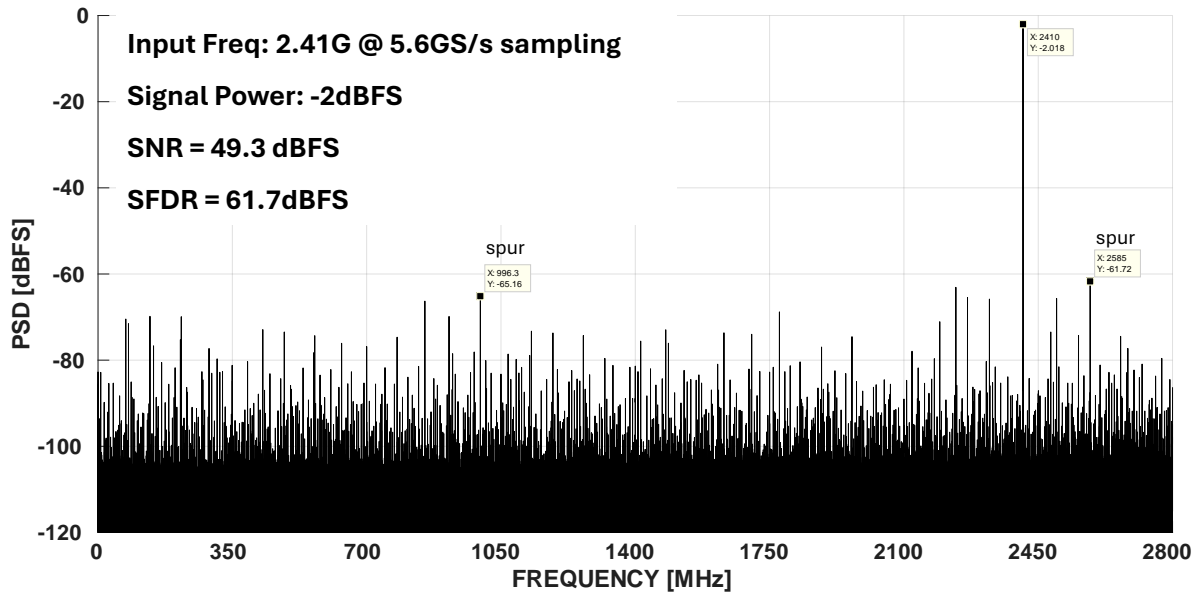


图 7-10. FFT at Fin = 2.41GHz, 5.6GS/s (CAE2400)

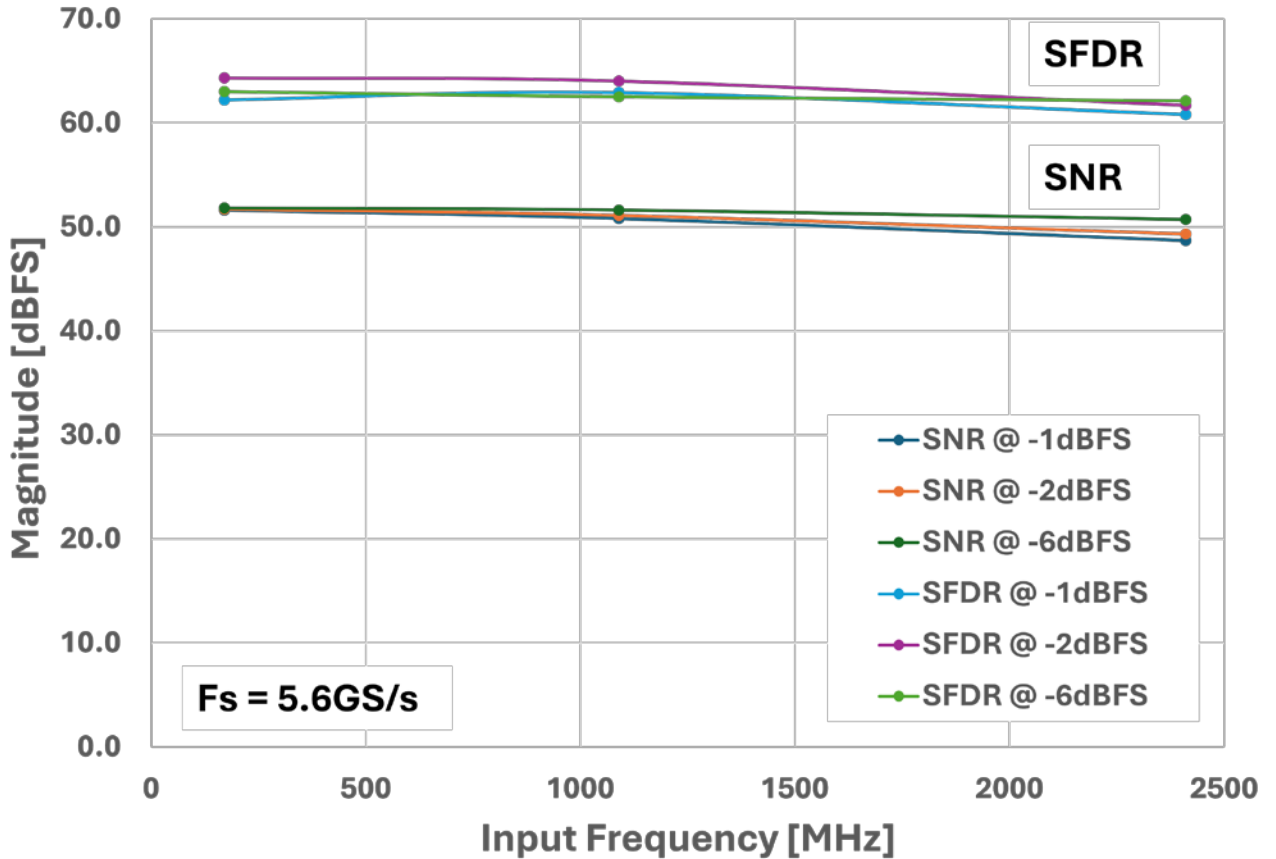


图 7-11. SNR/SFDR vs Input Frequency, 5.6GS/s (CAE2400)

8 详细说明 (Detailed Description)

8.1 概述 (Overview)

CAE2200 是一款 12 位，高速射频采样模数转换器 (ADC)，单通道模式下的最大采样率 11.2GSPS，双通道下的最大采样率为 5.6GSPS。

CAE2400 是一款 12 位，高速射频采样模数转换器 (ADC)，单通道模式下的最大采样率 5.6GSPS，双通道下的最大采样率为 2.8GSPS。

单通道或者双通道工作模式可在线编程配置，可用于开发灵活的硬件，以满足高通道数或宽瞬时信号带宽应用的需求。

CAE2200/CAE2400 采用高速 JESD204B 输出接口，工作温度支持 -40 to 105°C，使用 FCBGA196 (12mm x 12mm) 封装。

8.2 功能框图 (Functional Block Diagram)

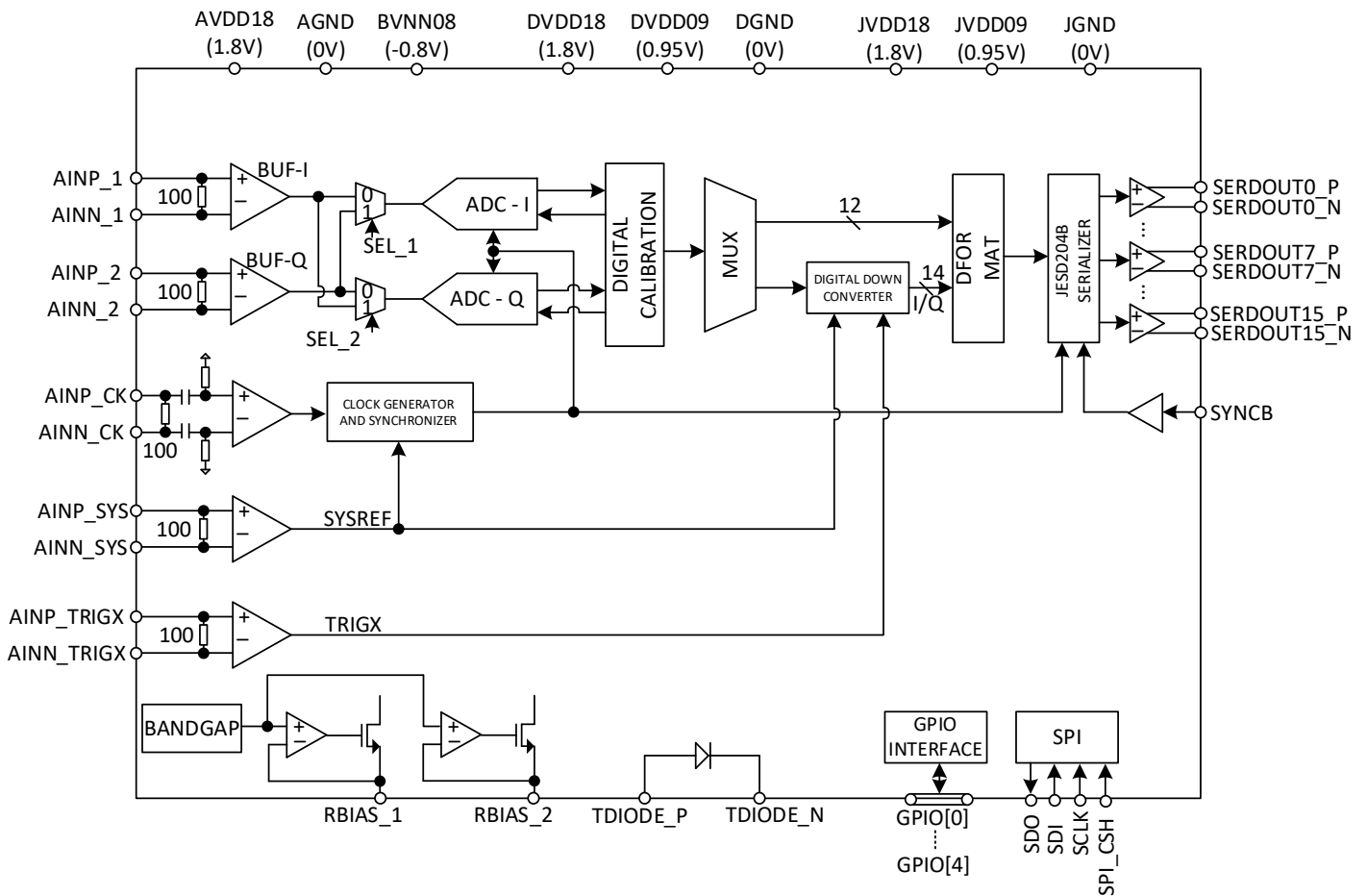


图 8-1. 功能框图

8.3 寄存器说明 (Memory Map)

控制寄存器 (地址 8h05 32' h0042_9448)

Bits	Name	Default	Descriptions
31	bg_always	1'b0	Background timing skew always do
30	bg_fpga	1'b0	When 1,reg03 FPGA rr write is update to tskew module;0 not update
29	tskew_hd_en	1'b0	Tskew_bg_pin is enable to control background timing skew
28:27	RVD		
26:24	bgpd_mode	3'h0	Background timing skew power down timing set(see below table)
22:20	tsrx_th	3'b100	000: 1;001 div2;010 div4;011div8,100div16 : timing skew matrix reust/N for rr
19	tsfir_en	1'b0	1:Timing skew input FIR enable;default 0 : disable
18	Dual_mode	1'b0	default0: 16ch; 1 dual 8ch
17	fg_mode_spi	1'b1	force finecap msb result=1
16	sel_otp_data	1'b0	Timing skew mode1/2 start from otp value (avoid many time to get better result)
15:14	bg_thres	2'b10	background timing skew threshold
13:12	bg_mode	2'b01	background timing skew mode
11	mid_tskew	1'b0	Background timing skew mode0 start from middle value1000_0000
10:8	tskew_mode	3'b001	Timing skew discard/average samples setting
7	inv_ts_mode	1'b0	Timing skew sgn result inverse
6:4	bg_ts_mode	3'b100	Background timing skew loop number
3:2	bg_repeat	2'b10	M_threshold for +/- as one big loop
1	tskew_bg	1'b0	Background timing skew enable
0	tskew_fg	1'b0	Foreground timing skew enable

控制寄存器 (地址 8h06 32' h4000_0ac7)

Bits	Name	Default	Descriptions
31:8	RVD		
7	p2SnOf	1'b1	code16 output 2's code(default) or offset code
6:0	RVD		

DDC 控制寄存器 (地址 8h07 32' h0010_0000)

Bits	Name	Default	Descriptions
31:0	PST	32'h0010_0000	profile timer number

DDC 控制寄存器 (地址 8h08 32' h0301_0000)

Bits	Name	Default	Descriptions
31:27	RVD		
26:24	{sync_en,sync_next, trig_rst_en}	3'b011	Register setting description SYSREF_x edge used to synchronize the PAWs 100 all subsequent edges for SYSREF_x signal reset all the PAWs in the chip 110 the next valid edge of SYSREF_x signal reset all the PAWs in the chip 001 all edges of SYSREF_x signal after TRIGGER signal reset all the PAWs in the chip 011 the next valid edge of SYSREF_x signal after TRIGGER signal reset all the PAWs in the chip
23:20	nco_nu_mode	4'h0	Nco number mode.0:NCO from reg;1 NCO from edge;2: NCO from GPIO; 3: NCO from profile select timer
19:18	reg_nu	2'b00	Nco number from register : choose one of 4NCO
17	RVD		
16	PD_TRIG	1'b1	1 power down trig ana,0 power on : default 1
15:8	Sysref_delay	8'h00	Sysref input delay
7:0	Trig_delay	8'h00	Trig input delay

DDC 控制寄存器 (地址 8h09 32' h8001_4000)

Bits	Name	Default	Descriptions
31	ddc_soft_rstb	1'b1	Write 0 will reset ddc module
30:17	RVD		
16	RVD	1'b1	should write to 1'b0 if DDC
15:13	ddc_mac_mode	3'b100	DDC MA average number.0: 2 ¹⁴ , 1 2 ¹⁵ ; 2 2 ¹⁶ ... 6 2 ²⁰ ; 7 2 ²¹
12	ddc_debug_mode	1'b0	1:DDC result MA from SPI; 0 from MA module
11	ddc_test_mode	1'b0	The input samples are forced to positive full scale and the NCO is enabled. This test mode allows the NCOs to directly drive the decimation filters
10	ddc_gain_6db	1'b0	DDC gain 6DB
9	ddc_c2r_en	1'b0	DDC Complex to real enable
8	hb1_en	1'b0	DDC Hb1 FIR enable

Bits	Name	Default	Descriptions
7	tb2_en	1'b0	DDC Tb2 FIR enable
6	hb2_en	1'b0	DDC Hb2 FIR enable
5	hb3_en	1'b0	DDC Hb3 FIR enable
4	hb4_en	1'b0	DDC Hb4 FIR enable
3	hb5_en	1'b0	DDC Hb5 FIR enable
2	hb6_en	1'b0	DDC Hb6 FIR enable
1	hb7_en	1'b0	DDC Hb7 FIR enable
0	ddcen	1'b0	DDC enable

DDC 控制寄存器 for PHASE: only 4 NCO support if 16ch mode, set phas0—phase3.
in dual_mode, phase4--phase7 for adc2

Bits	Name	Default	Descriptions
47:0	{reg68[15:0] ,reg60[31:0]}	48'd32056872347602	Phase0: 41 degree (41/360) * 2^48
47:0	{reg68[31:16],reg61[31:0]}	48'd32056872347602	Phase1: 41 degree (41/360) * 2^48
47:0	{reg69[15:0] ,reg62[31:0]}	48'd32056872347602	Phase2:41 degree (41/360) * 2^48
47:0	{reg69[31:16],reg63[31:0]}	48'd32056872347602	Phase3:41 degree (41/360) * 2^48
47:0	{reg6a[15:0] ,reg64[31:0]}	48'd30493122476988	Phase4:39 degree (39/360) * 2^48
47:0	{reg6a[31:16],reg65[31:0]}	48'd30493122476988	Phase5:39 degree (39/360) * 2^48
47:0	{reg6b[15:0] ,reg66[31:0]}	48'd30493122476988	Phase6:39 degree (39/360) * 2^48
47:0	{reg6b[31:16],reg67[31:0]}	48'd30493122476988	Phase7:39 degree (39/360) * 2^48

DDC 控制寄存器 for FTW only 4 NCO support if 16ch mode, set FTW0--FTW3.
in dual_mode, FTW4--FTW7 for adc2

Bits	Name	Default	Descriptions
47:0	{reg50[15:0] ,reg6C[31:0]}	48'd136339441844233	FTW0:
47:0	{reg50[31:16],reg6D[31:0]}	48'd32985348833280	FTW1:
47:0	{reg51[15:0] ,reg6E[31:0]}	48'd65970697666560	FTW2:
47:0	{reg51[31:16],reg6F[31:0]}	48'd136339441844233	FTW3:
47:0	{reg56[15:0] ,reg52[31:0]}	48'd136339441844233	FTW4:
47:0	{reg56[31:16],reg53[31:0]}	48'd32985348833280	FTW5:
47:0	{reg57[15:0] ,reg54[31:0]}	48'd67114189759447	FTW6:
47:0	{reg57[31:16],reg55[31:0]}	48'd136339441844233	FTW7:

9 封装尺寸 (Package Outline)

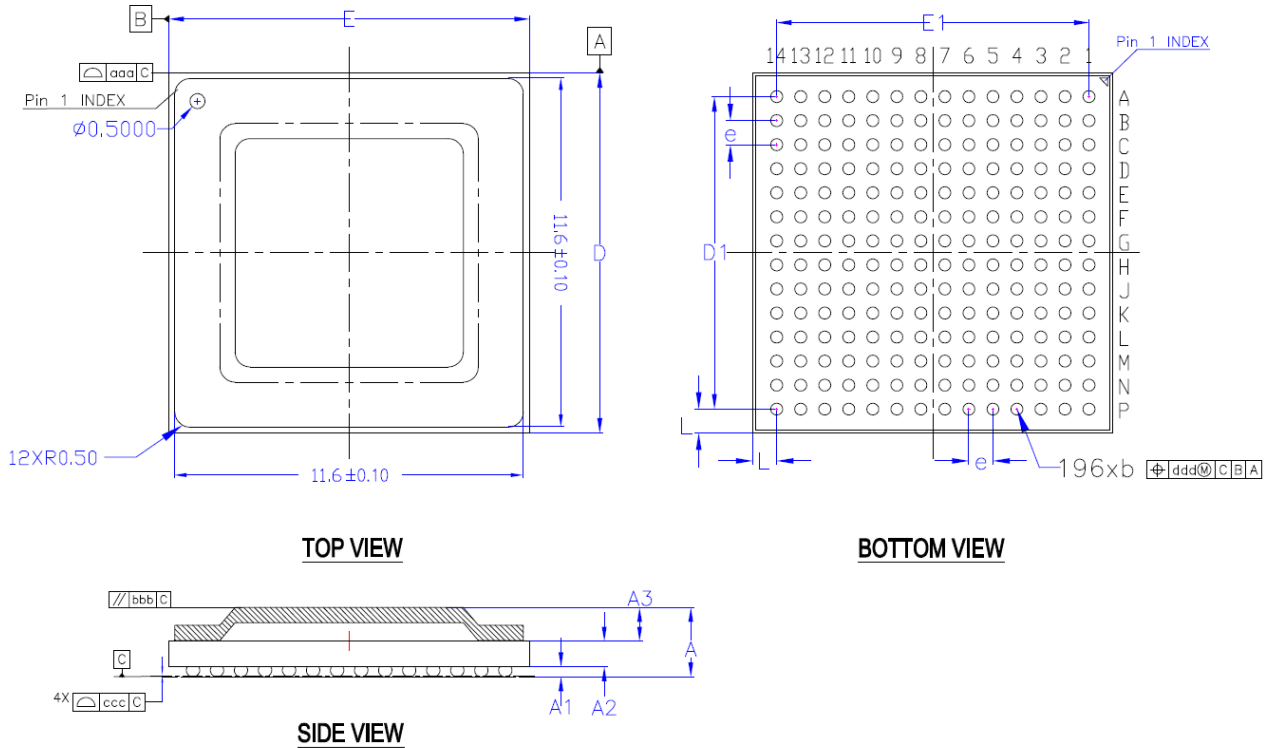


图 9-1. 封装尺寸

Dimensional Ref.

REF.	Min.	Nom.	Max.
A	2.13	2.32	2.51
A1	0.30	0.35	0.40
A2	0.76	0.85	0.94
A3	1.07	1.12	1.17
D	11.9	12.0	12.1
E	11.9	12.0	12.1
D1	10.4 BSC		
E1	10.4 BSC		
L	0.8 REF		
e	0.8 BSC		
b	0.40	0.45	0.50
Tol. of Form & Position			
aaa	0.10		
bbb	0.10		
ccc	0.20		
ddd	0.05		

Notes:

1. All Dimensions are in Millimeters (Angles in Degrees).
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.

10 订购指南 (Orderable Information)

型号	产品描述	温度范围	封装描述	封装选项
CAE2200	12 位 11.2Gsps 射频采样 ADC	-40°C 至 +105°C	196 球- 倒装球栅阵列封装	FCBGA-196
CAE2400	12 位 5.6Gsps 射频采样 ADC	-40°C 至 +105°C	196 球- 倒装球栅阵列封装	FCBGA-196

重要声明和免责声明

Caelus“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 Caelus 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 Caelus 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。Caelus 授权您仅可将这些资源用于研发本资源所述的 Caelus 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 Caelus 知识产权或任何第三方知识产权。

Caelus 提供的产品受 Caelus 的销售条款或 Caelus 产品随附的其他适用条款的约束。Caelus 提供这些资源并不会扩展或以其他方式更改 Caelus 针对 Caelus 产品发布的适用的担保或担保免责声明。

Copyright © 2024, 奇历士 (Caelus) 公司